

Belle II 実験 Aerogel RICH 用
読み出し回路の動作および量産試験

新潟大学大学院 自然科学研究科
数理物質科学専攻 博士前期課程
高エネルギー物理学研究室
F14A011K 小林 哲也

平成 28 年 3 月 17 日

概要

素粒子物理学は物質を構成する基本粒子とその間に作用する力を研究対象とする物理学の一分野である。標準模型の詳細な検証や、標準模型を超える新物理探索を目的として世界各地でさまざまな実験が行われている。その中で Belle 実験は 1999 年～2010 年に茨城県つくば市にある KEK(高エネルギー加速器研究機構)において行われた電子・陽電子非対称衝突型加速器実験である。

円形加速器 KEKB によって B 中間子を大量に生成し、Belle 検出器を用いてその崩壊過程を精密に測定することで CP 対称性の破れの検証を始め素粒子物理学における数多くの実験成果を上げた。特に B 中間子系における CP 対称性の破れの観測は小林・益川理論を実験的に立証し、2008 年ノーベル物理学賞受賞への貢献を果たした。また、新粒子が寄与するような B 中間子稀崩壊過程の研究なども行われたが、Belle 実験で得られた統計量では標準模型を超える物理事象の発見までは至らず、いくつかの兆候を得るにとどまった。そこでより精密な測定を十分な統計量を用いて行うために Belle 実験の後継実験として Belle II 実験が計画された。

Belle II 実験では KEKB 加速器から SuperKEKB 加速器への高性能化と、Belle 検出器から Belle II 検出器への改良を行う。加速器アップグレードにより従来の 40 倍となるピークルミノシティを実現し、最終的には Belle 実験の約 50 倍となる積分ルミノシティで標準模型を超えた新物理事象の探索を行う。2017 年実験開始に向けて加速器及び検出器のアップグレードが進行している。

Belle II 検出器はさまざまな目的や役割をもつ検出器から構成された複合型検出器である。Aerogel Ring Imaging Cherenkov 検出器 (A-RICH) は Endcap と呼ばれる領域での粒子識別を行う検出器であり、Belle II 実験から新たに導入される。A-RICH では B 中間子崩壊過程再構成において重要な荷電 K 中間子と π 中間子を識別する役割を担い、Belle 実験では達成できなかった単一検出器による広い運動量領域 $0.5 \text{ GeV}/c < p < 4.0 \text{ GeV}/c$ での高い K/π 識別能力を目指す。その目標を限られた検出器スペースで実現するため、リングイメージ型 Cherenkov 光検出器を採用した。A-RICH は Cherenkov 光の輻射体であるシリカエアロゲルと 144 チャンネルピクセル型光検出器 Hybrid Avalanche Photo Detector (HAPD)、および専用の読み出し回路システムによって構成される。

識別原理は、まず荷電粒子がエアロゲルを通過した際に放射状に発生する Cherenkov 光を HAPD によりリングイメージとして検出する。リング半径は粒子質量に相関があるためその半径差から種類を判断できる。HAPD は 420 台使用されるため、検出器全体の信号読み出しチャンネル数は合計 6 万チャンネルに及ぶ。そのため、読み出しシステムには多チャンネルの同時読み出しが可能で、また微弱な Cherenkov 光の信号をもれなく捉えられるようにチャンネル毎の単光子検出を実現する低雑音、高利得の信号処理回路が求められる。さらに読み出しシステムに与えられた設置領域はわずか 50 mm であり、回路のサイズをコンパクトに抑えなければならない。それらの要求を満たすために A-RICH グループでは Front-end board (FE board) と Merger board の 2 種類の読み出し回路を独自に開発した。

FE board は HAPD 1 台に対して 1 台が接続され、集積回路である Application Specific Integrated Circuit (ASIC) と Field-Programmable Gate Array (FPGA) を搭載している。ASIC はアナログ信号処理及び、ヒットデータの生成を行う。FPGA は ASIC の制御と後段の読み出し回路へデータを転送する役割を担う。Merger board には 6 台の FE board が接続され、ヒットデータの収集・圧縮と Belle II データ収集システムへの転送を行う。また、データ読み出しに必要なトリガー・クロック信号の供給や接続された FE board のコントロールなどの役割を担う。これら 2 種類の読み出し回路は最終的な仕様が決定し、実機に使用される FE board 420 台、Merger board 72 台の量産および性能評価が行われる。

本論文では A-RICH 専用読み出し回路の量産およびその動作試験に関して報告する。

読み出しシステム動作確認として最終版 FE board、Merger board を用いたダミーデータ読み出し試験を行う。Belle II 実験ではルミノシティの向上により物理事象が高レートで起きるため検出器は Belle II トリガーシステムのレート耐性条件を満たし、データを読み出すことが要求される。そこで想定される高レートトリガーを Merger board に入力し、データ読み出しを行うことで A-RICH 読み出しシステムの性能が要求を満たしているか確認した。また、Merger board のスローコントロールとデータ読み出し確認のために HAPD を接続し単光子検出を行った。

実機に使用される最終版 Merger board は 2015 年 12 月に量産が完了し、性能評価の必要がある。そこで仕様確認のために回路動作確認用の検査システムを開発し、全 80 台の性能検査を行った。Merger board に搭載された各コンポーネントの動作テストを行い、実機に使用する 72 台の選定を行う。

Belle II 実験では共通のデータ収集システムが使われ、その仕様に合わせた読み出し回路の動作確認及び読み出しシステムの構築が必要である。そこで Belle II DAQ システムを用いた Merger board のスローコントロール、データ取得試験を行った。Merger board、FE board 1 台を利用したデータ読み出しテストを行うとともに、FE board 複数台をつないだ際の読み出しエラー改善を行うことで、Belle II 実験本番に向けた A-RICH DAQ システムの開発を行った。

目次

第 1 章	はじめに	3
1.1	物理背景	4
1.1.1	CP 対称性の破れの検証	4
1.1.2	B ファクトリー実験	5
1.1.3	B 中間子の物理	5
1.2	Belle II 実験における新物理観測	10
第 2 章	Belle II 実験	12
2.1	Super KEKB 加速器	12
2.2	Belle II 検出器	16
2.2.1	PXD, SVD	17
2.2.2	CDC	20
2.2.3	TOP	22
2.2.4	Aerogel RICH	24
2.2.5	ECL	25
2.2.6	KLM	26
2.2.7	データ収集システム	28
第 3 章	Aerogel RICH 検出器の開発	30
3.1	Cherenkov counter	30
3.2	A-RICH の粒子識別原理	32
3.3	A-RICH への要求性能と構成	35
3.3.1	シリカエアロゲル	36
3.3.2	光検出器 HAPD	37
3.3.3	読み出しシステム	41
第 4 章	読み出しシステムの性能試験	43
4.1	読み出しシステムの構成	43
4.2	Front-end board	43
4.2.1	読み出し用 ASIC	45
4.2.2	ASIC の信号処理	49
4.3	Merger board	52
4.3.1	Merger board の機能	52
4.3.2	Merger board の構成	52
4.3.3	Merger board の回路	54
4.4	読み出しボード動作試験	57
4.4.1	試験セットアップ	57
4.4.2	ハイレートテスト	59
4.4.3	HAPD の信号読み出し	62

第 5 章	量産版 Merger board の性能評価	64
5.1	Merger board の開発	64
5.2	Merger board の量産	65
5.2.1	検査項目	65
5.2.2	検査システムのセットアップ	66
5.2.3	検査方法	68
5.2.4	測定結果まとめ	69
第 6 章	Belle II DAQ を用いた読み出しシステム開発	70
6.1	Belle II DAQ の構成	70
6.1.1	Belle2Link と COPPER	70
6.1.2	タイミング分配システム	73
6.1.3	高次トリガー (HLT)	73
6.2	Belle II DAQ による A-RICH 読み出しシステムの構築	75
6.2.1	PocketDAQ システムの立ち上げ	75
6.3	DAQ の開発	75
6.3.1	FE board のスローコントロール	75
6.3.2	データ読み出し・スレッショルドスキャン	78
6.4	複数 FE board のデータ読み出し	81
6.4.1	スローコントロール	81
6.4.2	データ出力タイミングのエラー	81
6.4.3	スレッショルドスキャン結果	83
6.5	今後の予定	84
第 7 章	まとめ	85

第1章 はじめに

2012年7月欧州原子核研究機構(CERN)で行われているLHCの実験によって素粒子物理学における最後の未発見素粒子だったヒッグス粒子が発見された。この功績により Francois Englert 氏、Peter W. Higgs 氏に2013年ノーベル物理学賞が贈られ、100年かけて築き上げてきた標準理論(Standard Model)は確立されつつある。そのような状況下で現在は標準理論を超える新しい物理探索を目的としてさまざまな素粒子実験が行われている。Belle II 実験も標準理論における未解決問題の解明・新物理探索を目的とした電子・陽電子衝突型加速器実験であり、2017年実験開始に向け開発が進められている。



図 1.1: 高エネルギー加速器研究機構の鳥瞰図。

Belle II 実験は1999年から2010年まで茨城県つくば市にある高エネルギー加速器研究機構(KEK)(図1.1)で行われていた Belle 実験を改良した実験である。前身の Belle 実験は小林・益川理論で予言される CP 対称性の破れの観測を主目的としていた。

電子・陽電子を非対称エネルギーで衝突させて B 中間子を大量に生成後、その崩壊過程を精度よく測定する。そして、2001年に中性 B 中間子 (B^0 または \bar{B}^0) から J/ψ と K^0 への崩壊過程において CP 対称性の破れの検証に成功した。これに加え、新物理探索のヒントとなるエキゾチックハドロン $X(3872)$ の発見、 D 中間子と \bar{D} 中間子混合の発見など数々の成果を挙げ、2010年にその役目を終えた。

現在はより高精度な測定を実現するために Belle II 実験へのアップグレードが進行している [1]。

1.1 物理背景

1.1.1 CP 対称性の破れの検証

1964年にJ.W.Cronin、V.L.Fitchらによって中性 K 中間子系における CP 対称性の破れが世界で初めて観測された。彼らの実験により、中性 K 中間子の CP 固有状態の一つである K_L が CP 対称性のため通常は崩壊しないと考えられていた 2π (CP even) への崩壊をわずかに含んでいることを示した [2]。

CP 対称性の破れを証明するために電磁相互作用や強い相互作用、また新たな相互作用である超電弱相互作用などを導入した様々なモデルが提案された。そのような状況の中、 CP 対称性の破れを理論的に証明する最も有力なモデルとして、1973年小林誠、益川敏秀により Kobayashi - Maskawa 理論が提唱された [3]。Kobayashi - Maskawa 理論は電荷 $+2/3$ と電荷 $-1/3$ のクォークが3世代・6種類存在することを予言し、世代間を超える遷移は弱い相互作用によって起こるとしている。クォークの世代間混合はCKM (Cabbibo - Kobayashi - Maskawa) 行列で表され、最も具体的には式 1.1 で書き下せる。

$$V_{\text{CKM}} = \begin{pmatrix} V_{ud} & V_{us} & V_{ub} \\ V_{cd} & V_{cs} & V_{cb} \\ V_{td} & V_{ts} & V_{tb} \end{pmatrix} \quad (1.1)$$

V_{CKM} の各行列成分の大きさがクォーク間混合の大きさに比例し、 V_{ij} ($i = u, c, t, j = d, s, b$) は j クォークから i クォーク (もしくは \bar{i} クォークから \bar{j} クォーク) への遷移振幅に対応する。クォークが3世代存在すると予言する小林・益川理論ではCKM行列の中に複素位相があらわれることにより CP 対称性が破れることが示された。このCKM行列をパラメータ (A, λ, ρ, η) を用いて表すと式 1.2 になる。これを Wolfenstein 表示と呼ぶ。

$$V_{\text{CKM}} = \begin{pmatrix} 1 - \frac{\lambda^2}{2} & \lambda & A\lambda^3(\rho - i\eta) \\ -\lambda & 1 - \frac{\lambda^2}{2} & A\lambda^2 \\ A\lambda^3(1 - \rho - i\eta) & A\lambda^2 & 1 \end{pmatrix} + \mathcal{O}(\lambda^4) \quad (1.2)$$

式 1.2 において V_{td}, V_{ud} に対応する行列要素の複素位相が小林・益川理論における CP 対称性の破れを表す箇所になる。CKM行列はユニタリー行列である (式 1.3)。

$$V_{\text{CKM}}^\dagger V_{\text{CKM}} = 1 \quad (1.3)$$

先ほどの V_{td}, V_{ud} を含む行列に対して以下の式 1.4 が成り立つ。

$$V_{ub}^* V_{ud} + V_{cb}^* V_{cd} + V_{tb}^* V_{td} = 0 \quad (1.4)$$

左辺の V^*V は Wolfenstein 表示のパラメータ (ρ, η) における複素平面上のベクトルで表すことができる。この時 (ρ, η) 平面上に Unitarity Triangle (図 1.2) と呼ばれる三角形を書くことができ、3辺がきちんと閉じていれば小林・益川理論は正しいことになる。Unitarity Triangle の内角をCKM行列の各要素を用いると式 1.5 ように表せる。

$$\phi_1 = \arg \frac{V_{cd}V_{cb}^*}{V_{td}V_{tb}^*}, \quad \phi_2 = \arg \frac{V_{ud}V_{ub}^*}{V_{td}V_{tb}^*}, \quad \phi_3 = \arg \frac{V_{cd}V_{cb}^*}{V_{ud}V_{ub}^*} \quad (1.5)$$

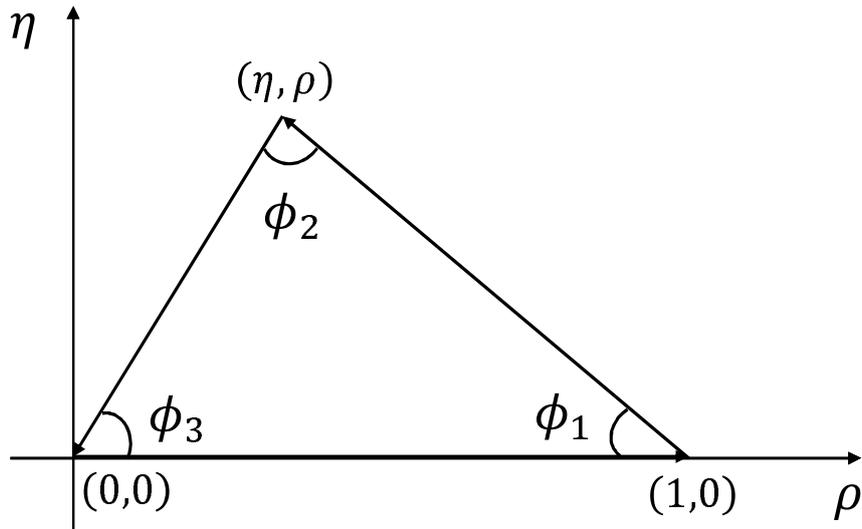


図 1.2: Unitarity Triangle。

CP 対称性破れの大きさを検証するために Unitarity Triangle の各辺の長さや角度の大きさは Belle 実験を含め多くの実験で精密な測定が行われている。逆に Unitarity Triangle が崩れていることが確認されれば標準理論を超える新しい物理の手掛かりになるため、更なる精密測定が必要になる。

1.1.2 B ファクトリー実験

CP 対称性の破れを検証するにあたり、 b クォークを含む B 中間子系での CP 非対称度は K 中間子系よりも大きくなると予想された。しかし、検証に必要な崩壊時間差を考えると K 中間子系では CP 固有状態 K_S と K_L の寿命比は約 500 倍ある。さらに K_L の寿命は $\sim 10^{-8}$ 秒程度あるのに対し、 B 中間子の寿命は $\sim 10^{-12}$ 秒と非常に短く B^0, \bar{B}^0 の崩壊時間差を測定することは技術上困難であった [4]。

この課題に対し電子・陽電子を「非対称エネルギー衝突」させる手法が考えられた。それまでの衝突型加速器のように同じエネルギーで電子・陽電子を衝突させると B 中間子はほぼ静止した状態で生成される。対して、非対称エネルギーで衝突させることにより衝突後生成した粒子をブーストさせ、相対論的に寿命を引き延ばす。その結果、 B^0, \bar{B}^0 中間子の崩壊時間差は現在の実験技術によって十分測定が可能となる。また、 B 中間子の精密な寿命測定には統計量も必要なため、衝突頻度を高くすることで B 中間子を大量に生成する。このように非対称エネルギーで電子・陽電子を衝突させ、大量に生成された B 中間子の情報から CP 対称性の破れの観測を目的とする衝突型加速器実験を B ファクトリー実験と呼ぶ。

現在までに行われた B ファクトリー実験は Stanford Linear Accelerator Center (SLAC:アメリカ) の PEP-II 加速器による BaBar 実験と、KEK の KEKB 加速器で行われた Belle 実験がある。共に 1999 年より実験を開始し、2001 年のほぼ同時期に B 中間子系での CP 対称性の破れを観測し、小林・益川理論を実験的に証明した。

1.1.3 B 中間子の物理

B 中間子の物理に関して説明する。 B 中間子生成には e^+ と e^- の対消滅により生じる $\Upsilon(4S) = (b\bar{b})$ を利用する。 $\Upsilon(4S)$ は bottomonium 共鳴状態と呼ばれ、96%以上が $B\bar{B}$ 中間子対に直ちに

崩壊する。非対称エネルギー衝突で生成されるため KEKB 加速器では電子、陽電子をそれぞれ 8.0 GeV、3.5 GeV まで加速させ、衝突時の重心エネルギーが $\Upsilon(4S)$ の質量である 10.58 GeV になるよう設計されている。 $B^0\bar{B}^0$ 中間子は box diagram と呼ばれる過程を通じて互いに入れ替わっている。これを $B^0\text{-}\bar{B}^0$ 混合 (mixing) と呼ぶ。

様々な崩壊過程がある中で $B^0 \rightarrow J/\psi K_S$ は CP 対称性の破れを観測するための主要な崩壊モードになる。例えば図 1.3 上図のように tree diagram を経て CP 固有状態である $J/\psi K_S$ へと崩壊するモードを解説する。その際図 1.3 下図のように途中で box diagram を介して混合する崩壊モードも存在し、 CP 固有状態であるため終状態からは親粒子が B^0 か \bar{B}^0 かを同定することは不可能である。

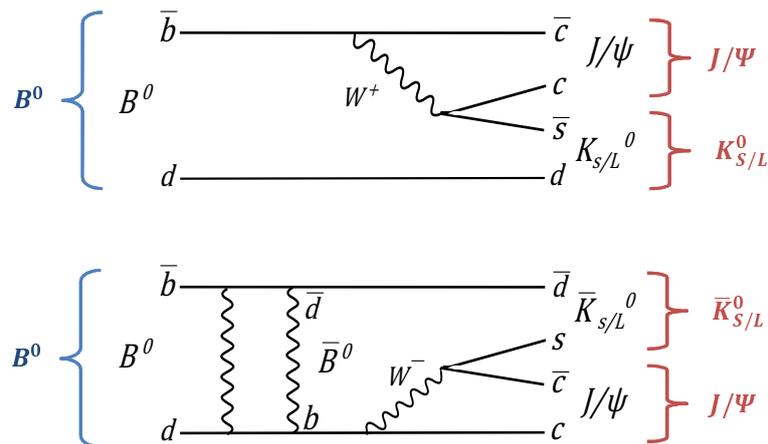


図 1.3: $B^0 \rightarrow J/\psi K_S$ を表す diagram。上が B^0 から終状態へと崩壊するモード。下が box diagram を経て \bar{B}^0 へと遷移してから崩壊するモード。

量子力学において同時に生成された B 中間子対はある時刻で一方が B 中間子と検出された場合、もう一方は必ず反 B 中間子となる。これを「量子もつれ」と呼ぶ。そこで親粒子を同定するために注目している CP 固有状態 $f_{CP} = J/\psi K_S$ に崩壊する側ではなく、反対側の完全に同定可能な崩壊モードを観測することで親粒子が B^0 か \bar{B}^0 かを識別する。このように親粒子を同定する方法を Flavor tagging と言い、 CP 固有状態 f_{CP} に崩壊するモードを signal side、反対側を tag side と呼ぶ。図 1.4 では B^0 を tag side として確定することで、反対側の signal side を \bar{B}^0 として同定している。tag side の B^0 から崩壊した荷電粒子 \bar{D}, π^-, μ^+ は CP 固有状態ではないため、それ以外の量子数から B^0 と同定することが可能となる。そのため signal side の親粒子は \bar{B}^0 であると同定できる。

B^0 と \bar{B}^0 から $J/\psi K_S$ への崩壊の流れを模式的に表したのが図 1.5 である。 $B^0\text{-}\bar{B}^0$ 混合が起きていれば 2 つの経路間に干渉が起こり、 B^0 から崩壊する場合と \bar{B}^0 から崩壊する場合とで崩壊率が異なる。この崩壊率のずれを観測することが CP 非対称度を測定することになる。

B^0, \bar{B}^0 がそれぞれ $J/\psi K^0$ へと崩壊した際の崩壊時間分布の比較を図 1.6 に示す [5]。 ξ_f を終状態の CP 固有値とすると波動関数は $CP|f_{CP}\rangle = \xi|f_{CP}\rangle$ で定義され、 $\xi = \pm 1$ となる。したがって $q = +1$ の赤いプロットが $\bar{B}^0 \rightarrow J/\psi K^0$ で、 $q = -1$ の青いプロットが $B^0 \rightarrow J/\psi K^0$ のデータである。崩壊確率は崩壊時間の差 $\Delta t = t_{\text{sig}} - t_{\text{tag}}$ を用いると式 1.6 で書ける

$$\Gamma(B^0 \bar{B}^0 \text{ pair} \rightarrow f_{\text{sig}}, f_{\text{tag}}) = \frac{e^{-\frac{\Delta t}{\tau}}}{4\tau} (1 + q(S \sin(\Delta m \Delta t) + A \cos(\Delta m \Delta t))) \quad (1.6)$$

q は B 中間子のフレーバー、 τ は B 中間子の寿命、 Δm は B^0 と \bar{B}^0 の質量差をそれぞれ表す。 S は B 中間子混合に由来する間接的 CP 対称性の破れ (mixing-induced CPV)、 A は直接的 CP 対称性

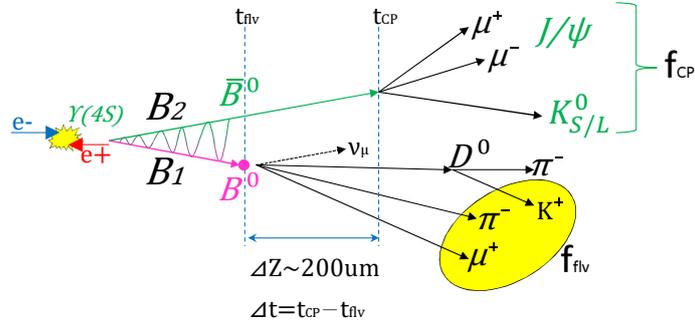


図 1.4: 非対称エネルギーでの B 中間子対生成と崩壊過程の概念図。 CP 固有状態でない tag side(f_{flv}) を確定し、signal side(f_{CP}) の親粒子を同定する。

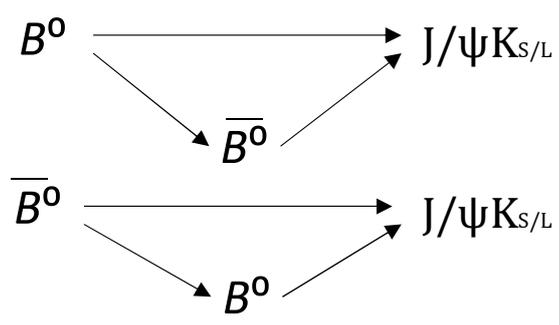


図 1.5: B^0 と \bar{B}^0 が $J/\psi K_{S/L}$ に崩壊するモード。親粒子が $B^0 \bar{B}^0$ かにより崩壊確率に差が生じるかを測定する。

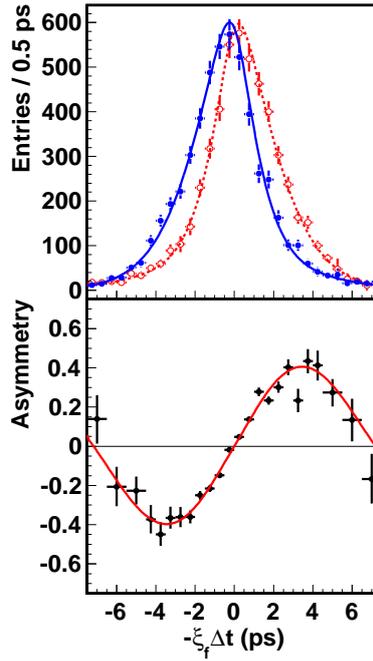


図 1.6: $B^0 \rightarrow J/\psi K^0$ における崩壊時間の分布その結果より得られた CP 非対称度。下図は赤と青の差を取ったものであり、 \sin カーブの振幅から $\sin 2\phi_1$ が求められる。

の破れ (Direct CPV) に対応するパラメータである。今回のモード ($b \rightarrow c\bar{c}s$) では $S = -\xi_f \sin 2\phi_1$ 、 $A \simeq 0$ である。 ϕ_1 は Unitarity Triangle を決めるものであり、 $J/\psi K^0$ への崩壊に表れる CP 非対称度 A_{CP} は以下のように求められる (式 1.7)。

$$\begin{aligned}
 A_{CP}(\Delta t) &= \frac{\Gamma(\bar{B}^0(t) \rightarrow f_{CP}) - \Gamma(B^0(t) \rightarrow f_{CP})}{\Gamma(\bar{B}^0(t) \rightarrow f_{CP}) + \Gamma(B^0(t) \rightarrow f_{CP})} \\
 &= -\xi_{CP} \sin 2\phi_1 \sin(\Delta m \Delta t)
 \end{aligned}
 \tag{1.7}$$

$\sin 2\phi_1$ の決定には $B^0 \rightarrow J/\psi K^0$ 以外のモードも利用することができ、図 1.7 に Belle 実験と Babar 実験で今までに測定された結果をまとめる。また、 $\sin 2\phi_1$ 以外の Unitarity Triangle のすべての角、辺の大きさを決定するためにさまざまな観測モードや他の実験が行われている。 CP 位相パラメータ $(\bar{\rho}, \bar{\eta})$ 平面上に今までの観測結果をまとめたものを図 1.8 に示す。

$\sin(2\beta) \equiv \sin(2\phi_1)$

HFAG
Moriond 2015
PRELIMINARY

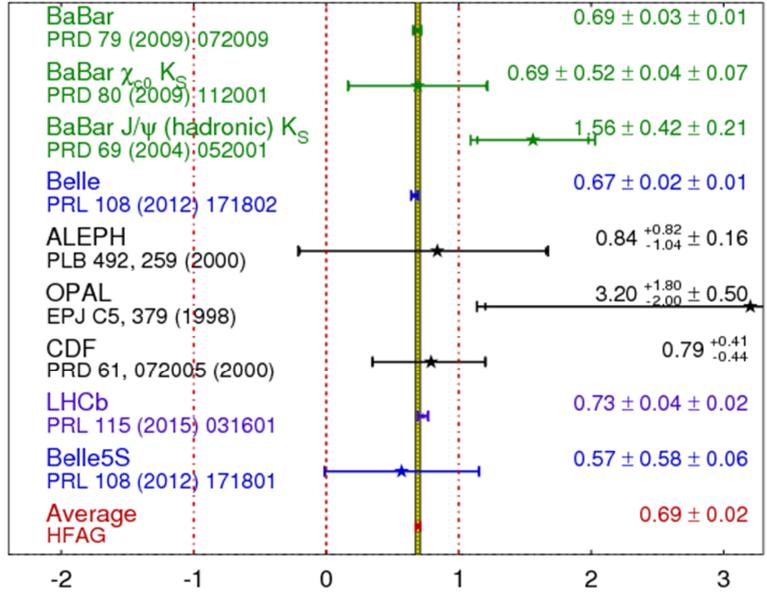


図 1.7: Belle と Babar による $b \rightarrow c$ tree diagram によって起きる崩壊モードから得られた $\sin 2\phi_1$ の値。 $b \rightarrow s$ penguin diagram による崩壊モードは含まない [6]。

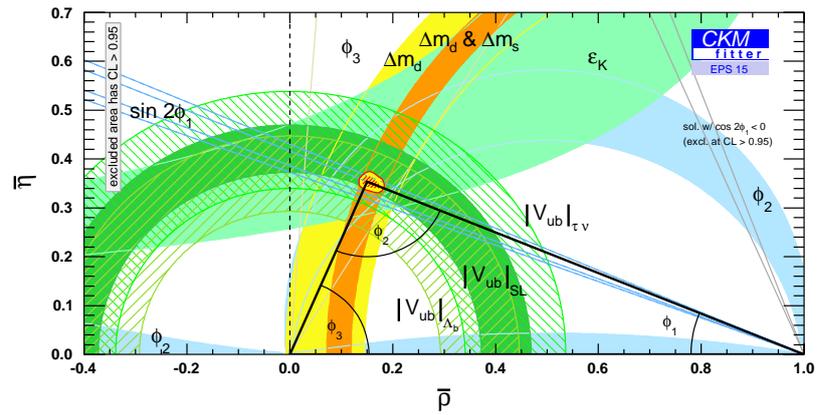


図 1.8: CKM パラメータ $(\bar{\rho}, \bar{\eta})$ をフィットした図。三角形の角度や辺の大きさが様々な実験データより制限されている。図は CKM fitter グループが 2015 年 8 月に公表した最新版である [7]。

1.2 Belle II 実験における新物理観測

小林・益川理論の証明を含め Belle 実験の実験データは標準理論と非常によく一致している。一方で、標準理論を超える新物理の兆候は見られたが統計量による測定精度不足から観測するまでには至らなかった。Belle II 実験では Belle 実験の 50 倍のデータ量を貯めることで新物理の寄与が期待される稀崩壊過程などを精度よく測定することを目指している。

このように実験結果と標準理論のわずかな「ズレ」を観測することで新物理の間接的発見を目指している。以下に Belle II 実験において観測が期待される物理現象を説明する。

Unitarity Triangle の精密測定

角度観測に必要な崩壊モードは tree diagram が支配的にはたらくため新物理の寄与は小さく、標準理論の範囲内での観測が期待されている。Belle II 実験で観測が期待され、角度、辺の精密測定において必要な崩壊モードを表 1.1 に示す。

表 1.1: Unitarity Triangle の角度、辺の観測に用いられる崩壊モード

$ V_{cb} $	$B \rightarrow X_c l \nu$
$ V_{ub} $	$B \rightarrow \pi l \nu, \rho l \nu, X_u l \nu$
$ V_{td} $	$B^0 \bar{B}^0$ mixing の周波数 Δm_d
ϕ_1	$B \rightarrow J/\psi K^0$ (Time dependent CPV)
ϕ_2	$B \rightarrow \pi\pi, \rho\pi, \rho\rho$ (Time dependent CPV)
ϕ_3	$B \rightarrow DK$ (干渉による Direct CPV)

前後方非対称度の精密測定

$B \rightarrow K^* l^+ l^-$ は電弱崩壊を起こし、図 1.9 のような diagram になる。 K^* 中間子の方向に対し l^+ の前方・後方における事象数を求め、前後方非対称度を精密に測定することで新物理探索を行う。図 1.10 は Belle 実験での測定結果であり、予測値よりもやや大きい値をとっている。図 1.10 の A_{FB} は前方事象数と後方事象数の差を全事象数で割った前後方非対称度である。Belle II 実験ではより測定精度を上げて標準理論からのズレを測定することが期待されている。

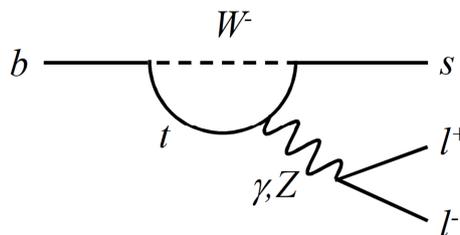


図 1.9: $B \rightarrow K^* l^+ l^-$ 崩壊の Feynman diagram.

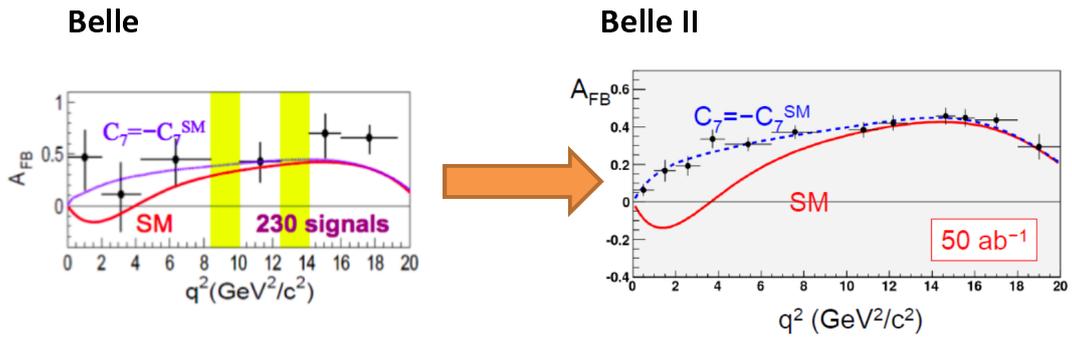


図 1.10: 左図は Belle 実験での前後方非対称度の結果で赤線は標準模型による理論値。右図は Belle II 実験でのシミュレーション結果。

$B \rightarrow \rho\gamma$ 崩壊

$B \rightarrow \rho\gamma$ は図 1.11 のように $b \rightarrow d\gamma$ 過程で起こる。これは電弱ペンギンダイアグラムと呼ばれる過程でハドロン相互作用が小さいため、新物理への感度が高いとされている。時間依存の CP 非対称度を観測することで新物理探索を行えるが、 $B \rightarrow K^*\gamma$ がバックグラウンド事象になるため、高い K/π 粒子識別が求められる。

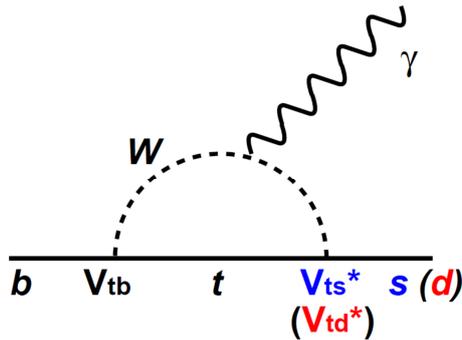


図 1.11: $b \rightarrow s(d)\gamma$ での loop diagram。

第2章 Belle II実験

Belle II 実験に使用される加速器と検出器のアップグレードについて解説する。加速器は世界最高のルミノシティを目標に SuperKEKB 加速器 [8] の開発が進んでいる。同様に、検出器は B 中間子崩壊過程における物理現象をもれなくとらえるために Belle II 検出器への改良が行われている。以下ではそれぞれの概要を説明していく。

2.1 Super KEKB 加速器

まず、前身の Belle 実験で使用されていた KEKB 加速器について説明を行う。KEKB 加速器は非対称エネルギー衝突のため電子を 8.0 GeV のエネルギーまで加速させる HER (High Energy Ring) と陽電子を 3.5 GeV まで加速させる LER (Low Energy Ring) 2 つのリングから構成されている。線形加速器 (LINAC) から入射された電子・陽電子はそれぞれのリングで加速され、Belle 検出器が置かれた衝突点で交差する構造になっている。図 2.1 に KEKB 加速器の構成を表す。

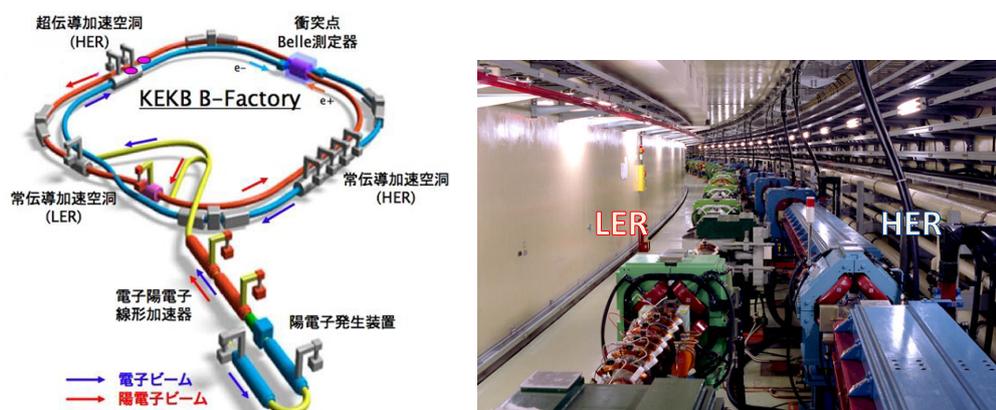


図 2.1: KEKB 加速器の構成。右の写真のように電子・陽電子の加速リングは地下トンネル内に設置されている。SuperKEKB もこのビームトンネルを使用する。

加速器の性能を示す指標の一つにルミノシティがある。ルミノシティとは単位面積・単位時間当たりの粒子の衝突頻度を示す値であり以下の式 2.1 で定義される。

$$R = \mathcal{L}\sigma \quad (2.1)$$

R [s^{-1}] は反応の発生頻度、 σ [cm^2] = [b] は反応断面積¹であり、 \mathcal{L} [$cm^{-2}s^{-1}$] = [$b s^{-1}$] はルミノシティを示す。高いルミノシティを達成するために KEKB 加速器では電子・陽電子を交差角をつ

¹1[barn] = 10^{-24} [cm^2]

け衝突させることでビームの広がりを抑えている。最終的に $2.1 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1} = 21.1 \text{ nb}^{-1}\text{s}^{-1}$ のピーク luminositi を記録した。 $B\bar{B}$ の生成断面積は $\sigma_{B\bar{B}} \sim 1.1 \text{ nb}$ なので、1秒間に最大20個程度の B 中間子対が生成されることになる。

図 2.2 は世界各地で行われてきた加速器実験を luminositi と衝突エネルギーで分類したものである。Belle のように統計量を高め、標準理論からの差異を観測することで間接的に新物理探索を行う実験を「Luminosity Frontier 実験」と言う。対して、LHC のように高エネルギー加速器で衝突エネルギーをできるだけ高め、重い粒子を直接観測しようとする実験を「Energy Frontier 実験」と分類する。

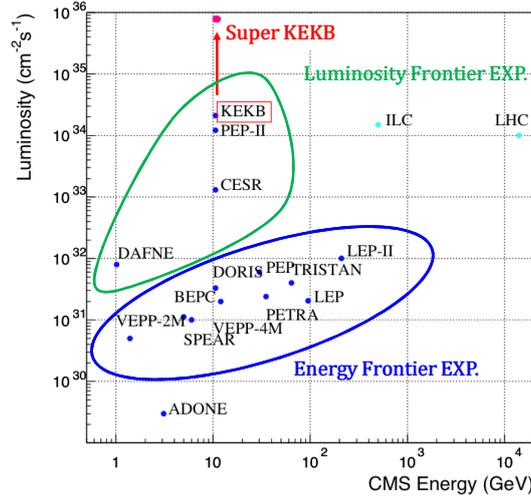


図 2.2: 世界各地の衝突型加速器のフロンティア。重心系での衝突エネルギー (横軸) と到達 luminositi (縦軸) の関係を示す。青線で囲まれた領域はエネルギーフロンティア実験、緑線で囲まれた領域は luminositi フロンティア実験に分類される。SuperKEKB 加速器は世界最高 luminositi の達成を目標にしている。

次に、SuperKEKB 加速器へのアップグレードに関して説明する。先ほど示した luminositi は衝突型加速器における各種パラメータを使って式 2.2 のように表せる。

$$\mathcal{L} = \frac{\gamma_{e\pm}}{2er_e} \left(1 + \frac{\sigma_y^*}{\sigma_x^*} \right) \left(\frac{I_{e\pm}\xi_{y\pm}}{\beta_{y\pm}^*} \right) \left(\frac{R_L}{R_y} \right) \quad (2.2)$$

\mathcal{L} は luminositi、 $\gamma_{e\pm}$ は Lorentz 因子、 e は素電荷量、 r_e は古典電子半径である。電子・陽電子ビームに関するパラメータとして σ_y^*/σ_x^* はビーム衝突点における水平方向 x 、垂直方向 y のビームサイズ比。 $I_{e\pm}$ はビーム電流、 $\xi_{y\pm}$ は、垂直方向の Beam-beam Parameter と呼ばれ、衝突点でビームが互いに及ぼし合う電磁力の大きさを表す。 $\beta_{y\pm}^*$ は垂直方向のベータ関数で衝突点においてビームサイズを絞り込む大きさに対応する量、 R_L/R_y は砂時計効果 (ビームを絞りすぎると衝突点前後でビームが広がってしまう効果) や交差角衝突による補正係数である。添え字の * は衝突点における値を表し、 \pm は電子 (-) と陽電子 (+) の積を示している。式 2.2 より luminositi を向上させるためにはビーム電流 $I_{e\pm}$ を上げるまたはビームサイズ $\beta_{y\pm}^*$ を小さくするなどの選択肢が挙げられる。KEKB から SuperKEKB へのアップグレードによりビーム電流 $I_{e\pm}$ を約 2 倍に増やし、 $\beta_{y\pm}^*$ を約 1/20 にすることで合計 40 倍の luminositi を実現する。

SuperKEKB 加速器では $\beta_{y\pm}^*$ を小さくするために新たに「Nano-beam 方式」を新たに採用した (図 2.3)[9]。Nano-beam 方式は衝突点においてビームを極微サイズにまで絞り込み電子・陽電子の衝突頻度を大きくしようとする手法である。しかし、ビームを絞りすぎてしまうとクーロン散乱

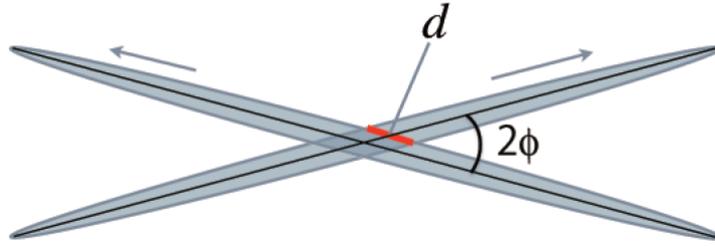


図 2.3: Nano-beam 方式。

によりビーム中の電子・陽電子が互いに衝突、散乱してしまう。これは「Touschek 効果」と呼ばれ、ビーム中の(陽)電子の数に影響を及ぼす。従来、「Touschek 効果」はビームエネルギーが小さい加速器で問題になるが、SuperKEKB はビームサイズを極小まで絞り込むためこの効果が表れる。特に陽電子は影響を受けやすいため、LER のビームエネルギーを KEKB 加速器の 3.5 GeV から 4.0 GeV に大きくしている。これに伴い、電子 (HER) 側のビームエネルギーを 8.0 GeV から 7.0 GeV に変更し、 $\Upsilon(4S)$ の生成に必要なエネルギーに保つことでビームエネルギー変更による影響を無くしている。しかし、この変更でビームエネルギーの非対称度が小さくなり、Belle 実験と比べ Lorentz boost する距離が短くなってしまいが、検出器の測定可能範囲を拡大することでこの問題に対処する。図 2.4 に SuperKEKB 加速器の構成を示す。表 2.1 は KEKB と SuperKEKB の主なビームパラメータの比較を示す。

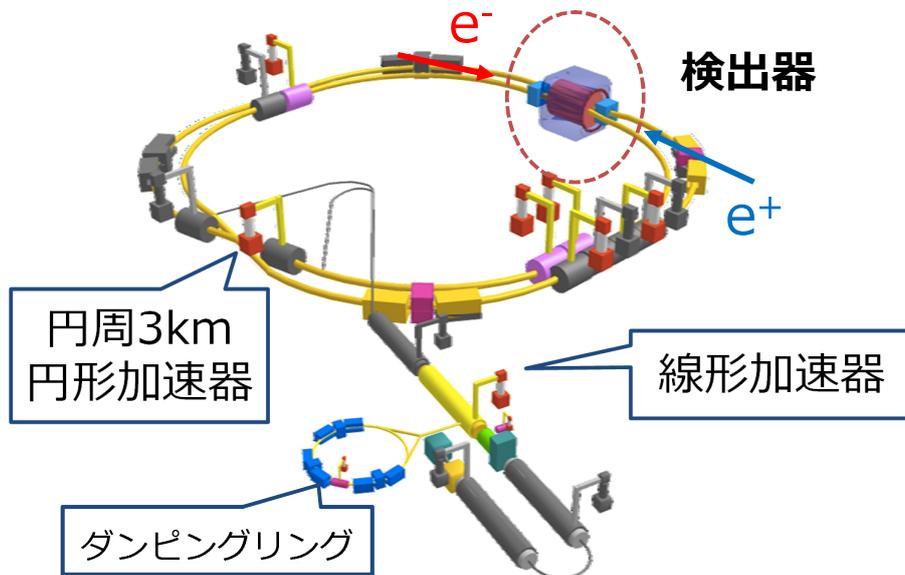


図 2.4: SuperKEKB の構成。電子・陽電子は線形加速器 (LINAC) から入射され、それぞれの蓄積リングで加速される。低エミッタンスビームを生成するために陽電子ダンピングリングを新設する。

表 2.1: KEKB と SuperKEKB の主なビームパラメータの比較

パラメータ	KEKB	SuperKEKB
Energy [GeV] (LER/HER)	3.5 / 8.0	4.0 / 7.0
$\xi_{y\pm}$	0.129 / 0.090	0.09 / 0.08
$\beta_{y\pm}^*$ [mm]	5.9 / 5.9	0.27 / 0.30
$I_{e\pm}$ [A]	1.64 / 1.19	3.6 / 2.6
\mathcal{L} [nb ⁻¹ s ⁻¹]	21.1	800

以上より、SuperKEKB は KEKB の約 40 倍である 800 nb⁻¹s⁻¹ のルミノシティ達成を目指す。図 2.5 は式 2.2 のルミノシティ \mathcal{L} を経過時間で積分した積分ルミノシティと呼ばれるもので $\int \mathcal{L}$ [b⁻¹]dt と書ける。KEKB は 2010 年 6 月の運転終了直前 $\int \mathcal{L} = 1 \text{ ab}^{-1}$ を達成したが、SuperKEKB は運転開始の 7 年でその 50 倍となる $\int \mathcal{L} = 50 \text{ ab}^{-1}$ を目指す。

SuperKEKB luminosity projection

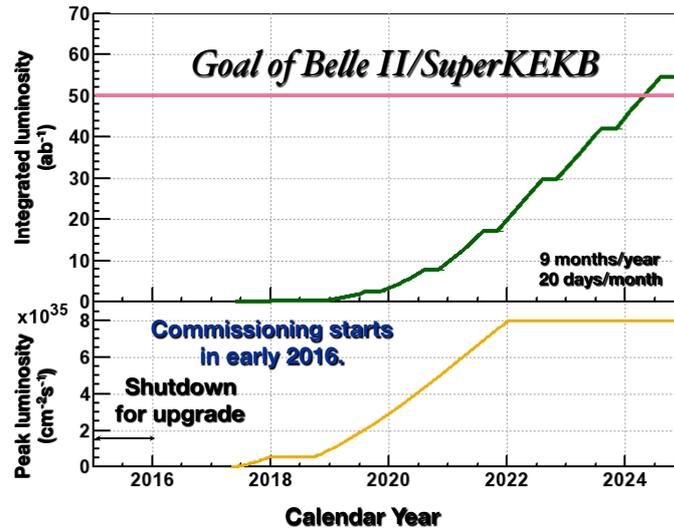


図 2.5: SuperKEKB のルミノシティ推移予想図 [8]。

2.2 Belle II 検出器

実験スタートに向け加速器同様、検出器も Belle 検出器から Belle II 検出器へのアップグレードが行われている。高さ、幅、奥行きそれぞれ約 8 m の Belle II 検出器はビーム衝突点に設置され、 B 中間子の崩壊を逃さず精度よく測定する。Belle II 検出器で検出可能な粒子を表 2.2 にまとめる。

表 2.2: Belle II 検出器で検出可能な粒子

荷電粒子	$e^{\pm}, K^{\pm}, \pi^{\pm}, \mu^{\pm}, p$
中性粒子	γ, K_L, n

Belle II 検出器は表 2.2 の粒子を高効率で検出するために様々な役割を持つ複数の検出器で構成される。各検出器の名称とその役割を図 2.6 に示す。ビーム衝突点に近い方から崩壊点検出器 (PXD+SVD)、中央飛跡検出器 (CDC)、粒子識別検出器 (TOP, Aerogel RICH)、電磁カロリメータ (ECL)、ミュー粒子・ K_L 粒子検出器 (KLM) で構成される。加速器の高輝度化に伴って、PXD、TOP、Aerogel RICH (A-RICH) は Belle II 実験から新しく導入される検出器であり、それ以外の検出器でも更なる性能向上を図っている。本研究で取り上げる A-RICH 検出器は陽電子入射側、通称 “Forward-Endcap” 部に設置される。図 2.7 はアップグレード前後で比較した検出器断面図を示す。

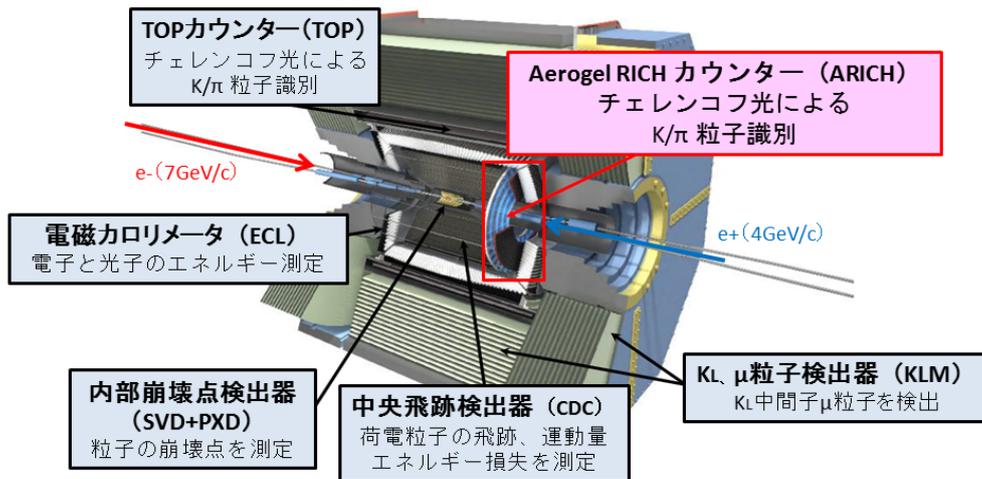


図 2.6: Belle II 検出器完成予想図。

以下に各検出器の構成とその役割について簡単に説明する。

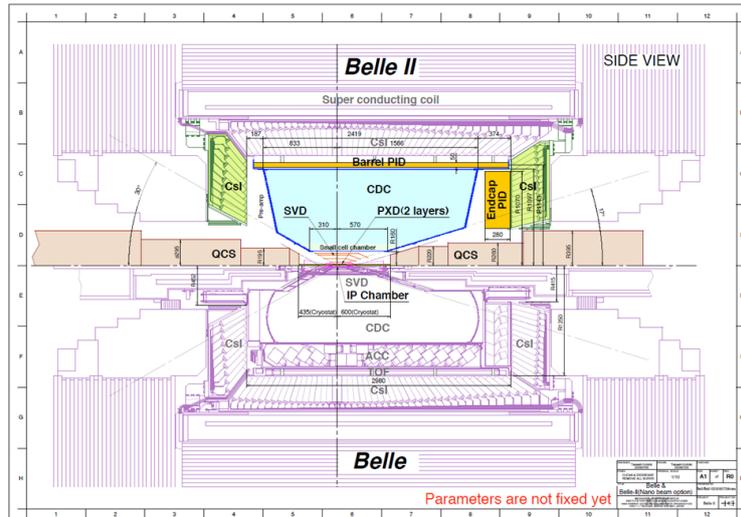


図 2.7: Belle II 検出器断面図。上が Belle II 検出器、下が Belle 検出器。

2.2.1 PXD, SVD

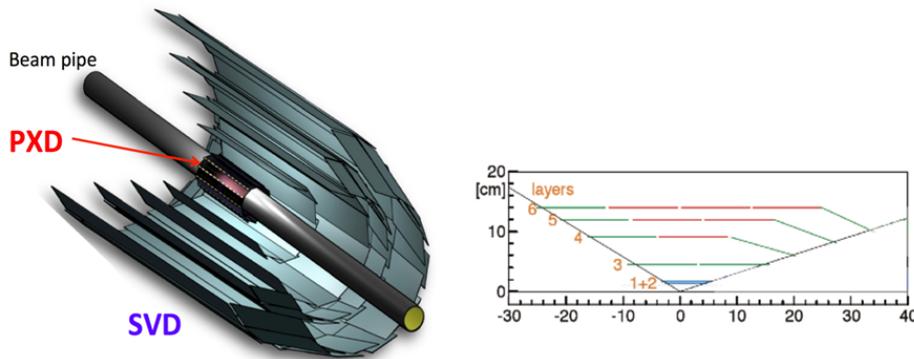


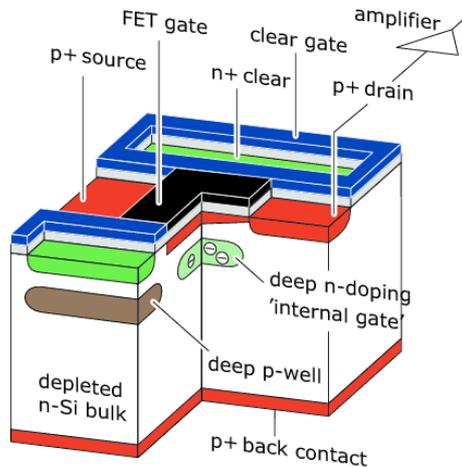
図 2.8: 検出器全体像 (左)。内側に PXD を 2 層、外側に SVD を 4 層配置した構造。配置図 (右) でビーム軸 (z 軸) からの偏角を θ とすると検出範囲は $17^\circ < \theta < 150^\circ$ 。

崩壊点検出器の PXD (Pixel Detector) と SVD (Silicon Vertex Detector) は B 中間子崩壊点の位置を測定する。 B 中間子崩壊後にできるいくつかの荷電粒子の飛跡を数十 μm の精度で検出し、 $B\bar{B}$ の崩壊点を再構成することで崩壊時間差を精度良く求める。 CP 非対称度の測定や解析における粒子の組み合わせ間違いを減らすために崩壊点の正確な測定は重要になる。

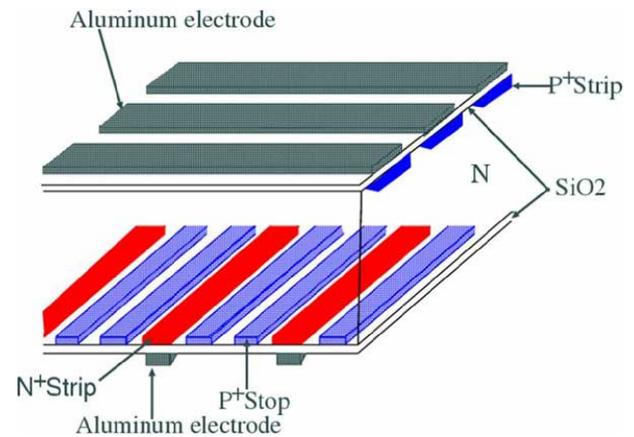
B 中間子から崩壊した荷電粒子が円筒状に設置されたラダーと呼ばれる構造に入射した際の位置情報を観測し、測定する。荷電粒子が複数層のラダーを貫くことで、各層の入射位置情報から 3 次元的に粒子の飛跡を再構成できる。最終的にこれらの飛跡を崩壊点付近にまで延ばしていき、飛跡の“最近接点” = “崩壊点”として測定する。

検出方法としては荷電粒子がシリコン板を通過し生成された自由電子とホールを電気信号として取り出しており、それらを荷電粒子の通過位置として測定している。PXD は FET (Field Effect Transistor : 電解効果トランジスタ) を応用した DEPFET (DEPleted FET) と呼ばれるピクセル型半導体検出器から構成される (図 2.9(a))。SVD は DSSD (Double-sided Silicon Strip Detector) と呼ばれるシリコン検出器を層の両面にストリップ状に貼り付けたラダーを円筒状に重ねた構造

をしている (図 2.9(b))。最終的に半導体ストリップに対応した電極から信号が読み出され、2次元位置情報を得る。



(a) DEPFET の原理



(b) DSSD の原理

図 2.9: (a) PXD 用 DEPFET の構造。シリコン空乏層に荷電粒子が入射すると電子・正孔対が生じ、そのままトランジスタで増幅後読み出される。(b) SVD 用 DSSD の構造。中央のバルクシリコンを挟んで p 型半導体と n 型半導体のストリップが直交して配置された半導体検出器。

Belle II 実験では加速器ビームパイプの直径が 30 mm から 20 mm とより細くなるため内層に PXD を新たに導入した。分解能の良いピクセル型の検出器を崩壊点により近い場所に設置することで崩壊点検出の精度を向上させた。Belle 実験では $70 \mu\text{m}$ 以下だった崩壊点の位置分解能が、Belle II 実験では $20 \mu\text{m}$ まで向上する。これにより前述した加速器でビームエネルギー変更による B 中間子の飛行距離短縮に対処できる。また、SVD ラダーが外側に拡張したことで比較的寿命の長い K_S を含んだ崩壊モードの取りこぼし防止につながり、再構成率の向上が期待できる。図 2.10 は崩壊点検出器の完成イメージを示す。図 2.11 はシミュレーションによる Belle 実験と Belle II 実験の崩壊点分解能の比較を表し、広い運動量範囲での高い位置分解能を実現する。

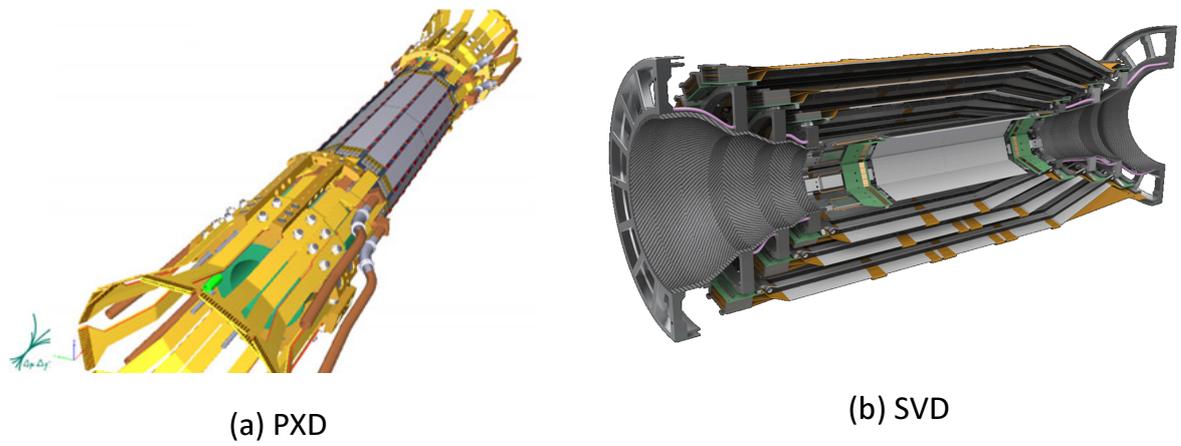


図 2.10: 崩壊点検出器の完成イメージ。

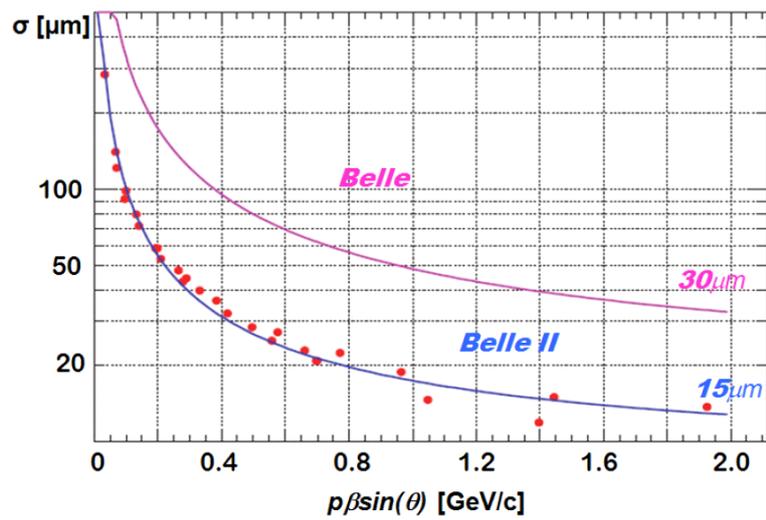


図 2.11: Belle 実験と Belle II 実験の崩壊点分解能の比較 (ビーム軸方向)。

2.2.2 CDC

中央飛跡検出器の CDC (Central Drift Chamber) は PXD、SVD の外側に置かれ荷電粒子の飛跡測定、運動量測定、エネルギー損失測定を行うワイヤーチェンバーである。加えて、飛跡に伴うワイヤーのヒットパターンからトリガー生成の役割を担う。

CDC 内部は He と C_2H_6 の混合ガスで充填され、多数の細い電極ワイヤーが張られている。電極ワイヤーには信号読み出しのためのセンスワイヤーと電場形成のためのフィールドワイヤーがあり、センスワイヤーには直径 $30\ \mu\text{m}$ の金メッキタングステン、フィールドワイヤーには直径 $126\ \mu\text{m}$ のアルミニウムをそれぞれ使用している。CDC は円筒形 (シリンダー) をしており、中心軸方向にこれら 2 種類のワイヤーが張られる。シリンダー内にはセルが形成され、1 本のセンスワイヤーを 8 本のフィールドワイヤーで取り囲んだものを一つのセルとしている。さらにセンスワイヤーはビーム軸方向の z 軸に対して平行に張られるアクシャルワイヤーと z 軸に対して斜めに張られるステレオワイヤーに分類される。このように 2 方向にワイヤーを張ることで飛跡を 3 次元的に再構成できる。図 2.12、2.13 に Belle と Belle II での CDC のワイヤー比較と断面図を示す。

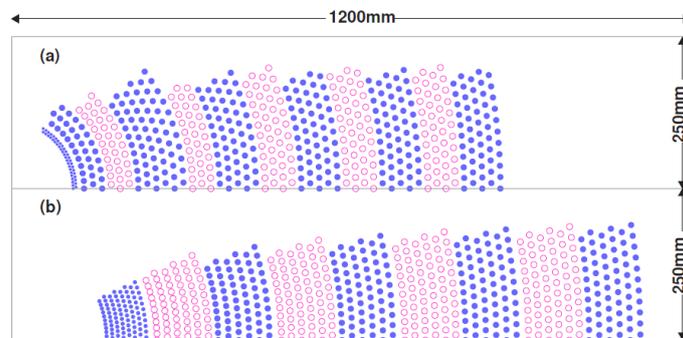


図 2.12: Belle CDC (a) と Belle II CDC (b) の比較。 z 軸に対して平行なアクシャルワイヤー (青ドット) と斜めに張られたステレオワイヤー (赤オープンドット) を示す。

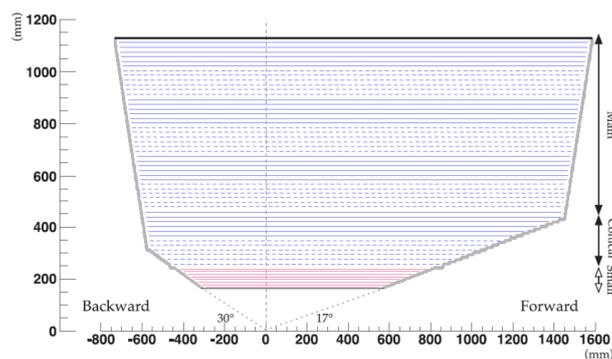


図 2.13: CDC の半断面図。ピンク色最内層の 8 層はスモールセル部分を示す。

ワイヤーチェンバーの基本原理として荷電粒子がガス中を通過した際にガス分子がイオン化される。イオン化で生じた電子は高電圧 ($>30\ \text{kV/cm}$) がかけられたセンスワイヤーまで移動 (ドリフト) し、どのセルを通過したかがわかる。さらに高電場中ではドリフト速度は一定であることから電子のドリフト時間からセンスワイヤーまでの距離がわかり、荷電粒子の飛跡を再構成することができる。電場はセンスワイヤー表面で最大になりフィールドワイヤーに向かって減衰していく。高電場により電子はセンスワイヤーに向かい、正イオンはフィールドワイヤーへ移動する。こ

のようにイオン化で生じた電子は電子雪崩によってガス増幅されるため、最終的に電気信号として読み出すことができる。

磁場中を運動する荷電粒子はローレンツ力を受けて飛跡は曲線を描くため、ビーム軸方向には 1.5 T の磁場がかけられている。その時の荷電粒子の運動は以下の式 2.3 に従う。

$$p = 0.3 \rho B \quad (2.3)$$

p [GeV/c] は荷電粒子の運動量、 ρ [m] は曲率半径、 B [T] は磁場の大きさである。CDC で求めた飛跡の情報から曲率半径 ρ を求め、式 2.3 より運動量を決定する。

荷電粒子が CDC を通過した際に落とした単位長さあたりのエネルギー損失 dE/dx はワイヤーで検出される信号電圧から求められ、その情報から粒子の識別ができる。この時の粒子ごとの運動量と dE/dx の関係を図 2.14 に示す。図 2.14 より 1 GeV/c 以下の低運動量領域では CDC のみで P , K , π の識別が可能であることが分かる。さらに高運動量領域では CDC で求めた運動量と後述する粒子識別装置との情報を組み合わせることで粒子識別を行う。

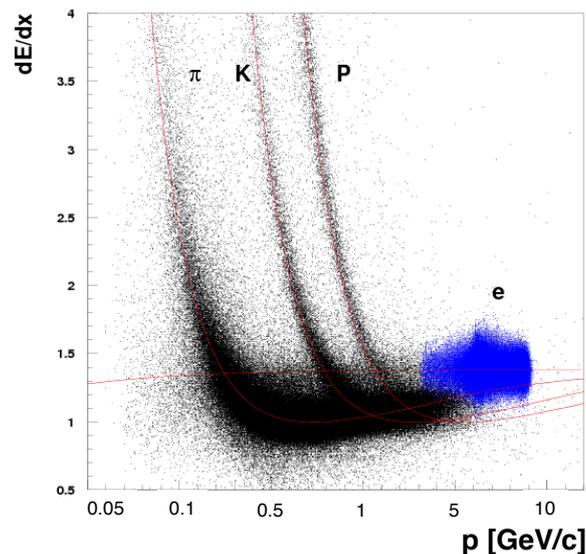


図 2.14: 粒子識別。横軸: 運動量, 縦軸: 単位長さあたりのエネルギー損失量。各点は CDC で測定されたエネルギー損失の値、赤線は粒子それぞれの予測値を示す。

Belle II 実験に向けたアップグレードによる主なパラメータの比較を表 2.3 に示す。変更点は内側にある SVD の拡大と外側にある粒子識別装置の薄型化に伴いシリンダーの内半径、外半径がそれぞれ大きくなる。外半径の拡大の方が大きいので CDC 全体も広がり、ワイヤーの総本数は Belle 実験の約 8,400 本から約 14,300 本まで増える。また、ビーム衝突点から離れることで占有率が下がり、バックグラウンドの影響が低減される。

ルミノシティ増加に伴うビームバックグラウンドの対策として “Small-cell chamber” を導入している。Small-cell chamber は CDC 全 56 層の最内 8 層を指し、セルサイズを更に小さくしている。よりビームに近い箇所のセルサイズを小さくすることで各セルでの占有率を下げると同時に、高精度で飛跡を測定できる。図 2.15 は完成した Small-cell chamber の写真である。Nomal cell と Small-cell のサイズ比較は図 2.16 に示す。

高レート読み出しのためにエレキシステムもアップグレードされる。各検出器からのデータは信号処理を行う装置が収められたエレキハットに送られる。従来は検出器とエレキハットまで約 30 m あり、CDC では波形整形後に電荷を時間幅の情報として記録していたため $\sim 1 \mu\text{s}$ のデッドタイムが生じていた。Belle II 実験では新たに読み出し用ボードを導入し、検出器側でデジタル信

号に変換する。そうすることでデッドタイムを電子のドリフト時間が与える限界の 200 ns 以内で読み出すことが可能となり高レートの信号に対応できる。

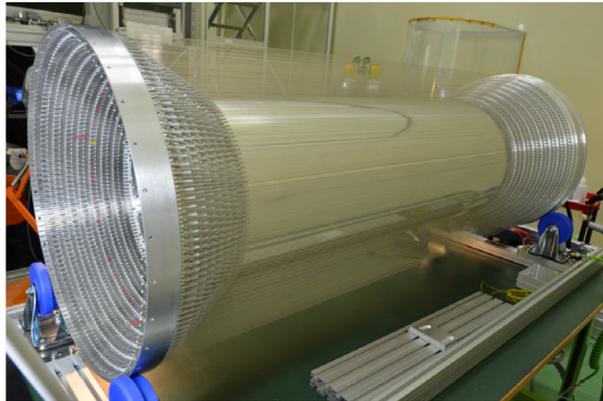


図 2.15: 全ワイヤーを張り終え完成した Small-cell chamber。

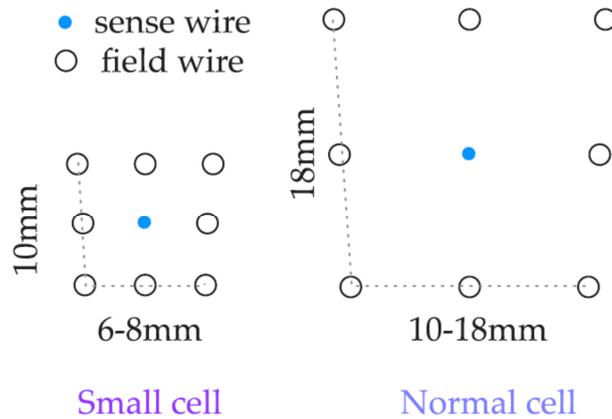


図 2.16: CDC Nomal cell と Small-cell の大きさの比較。

2.2.3 TOP

TOP 検出器 (Time of Propagation counter) はバレル部での粒子識別、特に B 中間子の物理で重要な荷電 K/π 粒子識別を行う。荷電粒子の速度が媒質中で光速を超えたとき生じる Cherenkov 光を利用して粒子を識別する。Cherenkov 光検出器の中でも TOP は DIRC (Detection of Internally Reflected Cherenkov light) と呼ばれる方式を採用している。その検出イメージを図 2.17 に示す。

表 2.3: CDC のパラメータ比較

パラメータ	Belle	Belle II
シリンダー内半径 [mm]	77	160
シリンダー外半径 [mm]	880	1,130
最内層ワイヤー軸半径 [mm]	88	168
最外層ワイヤー軸半径 [mm]	863	1,111
ワイヤー数	8,400	14,336
充填ガス	He : C ₂ H ₆ (50 : 50)	

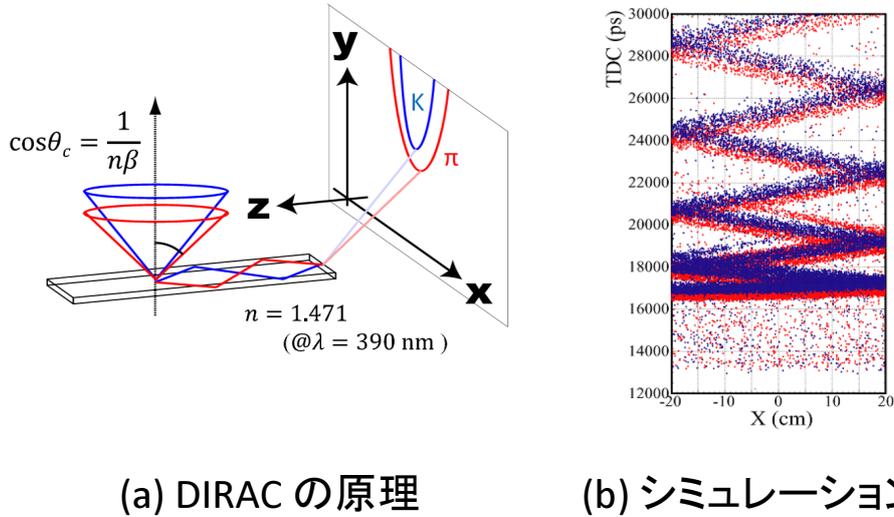


図 2.17: (a) は DIRC の検出原理。(b) は K/π 粒子識別シミュレーションの結果。

屈折率 n の輻射体である石英ガラスのコーツバーを荷電粒子が通過した際 Cherenkov 光を生じる。生じた Cherenkov 光はコーツ内を全反射し、それを端面に設置した光検出器で捉えることで粒子識別を行う。運動量の同じ荷電粒子からの Cherenkov 光は、質量が大きな粒子ほど粒子の入射方向に対して小さい角度で放射されるので、端面までの経路長が長くなり、結果光の伝搬時間が長くなる。この粒子の種類で異なる伝搬時間の差に加え、反射により重ねられたリングの 2 次元位置情報を半円形に投影することで Cherenkov 光放射角の違いによるリング半径の差から荷電 K/π 粒子の識別が可能となる。また、崩壊点から輻射体に荷電粒子がヒットするまでの飛行時間 (TOF: Time-Of-Flight) は粒子の質量が大きいほど長くなるので、時間情報も得られる。

以上より TOP 検出器は Cherenkov 光放射角の違いによる伝搬時間差と、TOF による飛行時間差を測定することで粒子識別を行う。図 2.18 は 1 モジュールの大きさと構成要素を示す。

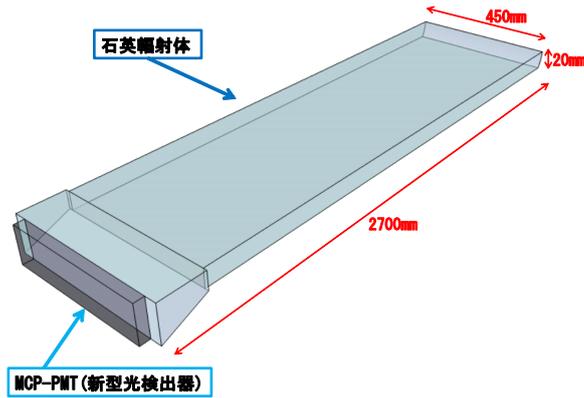
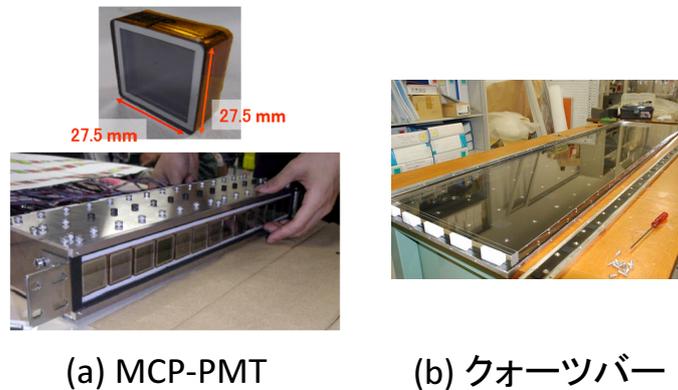


図 2.18: TOP モジュールの構成。

光検出器には MCP-PMT (Multi-Channel Plate PMT) と呼ばれる小型の光電子増倍管を採用した (図 2.19(a))。4×4、16 ch のアノードプレートを内蔵し、1 ch のサイズ 5 mm×5 mm の位置分解能を有する。電子増倍部に 2 枚のマイクロチャンネルプレート (MCP) を用いることで TOP 検出器に必要な 40 ps 以下の優れた時間分解能を可能にした。また MCP を使用することで従来の光電子増倍管を用いることが難しい 1.5 T の磁場中でも動作可能である。電子の最終増幅率は $O(10^6)$ 、光電面の量子効率 は 24 % 以上あり、何れも光検出器としての要求性能を満たす。MCP-PMT は TOP モジュール一つに 16×2 列、計 32 台使用される。輻射体として使用される石英クォーツバーの屈折率は $n \sim 1.47$ で、大きさ約 2700 mm×450 mm×20 mm のモジュールが計 16 枚使用される。図 2.19(b) は実物の画像で CDC のシリンダーを囲うよう筒状に設置される。



(a) MCP-PMT

(b) クォーツバー

図 2.19: TOP 検出器の構成要素。(a) 上:光検出器の MCP-PMT、下:MCP-PMT をクォーツバーに合わせて配列したモジュール。(b) 輻射体の石英クォーツバー。

2.2.4 Aerogel RICH

Aerogel RICH (Aerogel Ring Imaging Cherenkov) 検出器はエンドキャップ部での荷電 K/π 粒子識別を行う (図 2.20)。TOP と同様に Cherenkov 光を利用した検出器であり、Belle II 実験で新たに開発されている。Belle 実験では ACC (Aerogel Cherenkov Counter) が使われていたが、より高運動量領域での粒子識別を行うため A-RICH が導入される。検出原理としては荷電粒子が輻射体で発生させた Cherenkov 光を位置分解能が良い光検出器で直接検出する。荷電粒子の進行方

向に対し Cherenkov 光は放射状に広がるのでリングイメージとして観測できる。ここで得られたリング半径の大きさは Cherenkov 光の放射角すなわち粒子の質量に依存する。したがって、入射した粒子の運動量が同じ場合、リング半径の違いから荷電 K/π 粒子の識別が可能となる。

A-RICH の構成として輻射体にシリカエアロゲル (屈折率 ~ 1.05)、光検出器に 144ch マルチピクセル型 Hybrid Avalanche Photo Detector (HAPD) を採用した。また、検出器の構造上、HAPD 専用の読み出し回路を開発した。検出器の中心部分にはビームパイプが通るため同心円状の形をしている。同心円状の構造体は 2 つあり、一方にはシリカエアロゲル、もう一方には HAPD と専用の読み出し回路がそれぞれ設置される。A-RICH の詳細に関しては第 3 章において記述する。

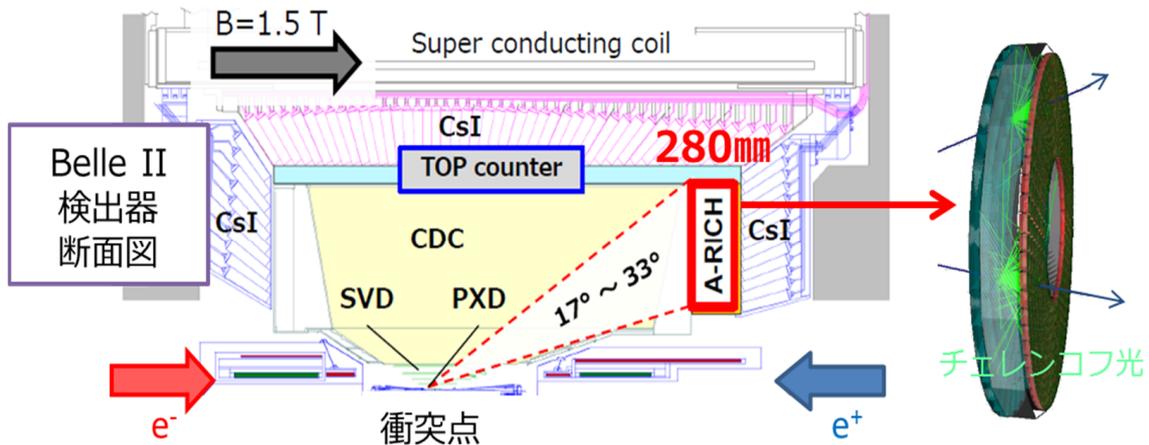


図 2.20: Belle II 検出器における Aerogel RICH の配置と全体像。

2.2.5 ECL

ECL (Electromagnetic Calorimeter) は主に電子 e^- 、陽電子 e^+ や光子 γ のエネルギーを測定する。電磁カロリメーターの原理として結晶などの重い物質に電磁相互作用を起こす電子や光子が入射した際、 γ からの e^-e^+ 対生成や e^-, e^+ からの制動放射が起こり電磁シャワーが形成される。結晶中で電磁シャワーのエネルギーはほぼ全て失われ、このエネルギー損失によるシンチレーション光の大きさを測定することで電子や光子のエネルギーを求める。

B 中間子の崩壊のうち約 $1/3$ は π^0 を生成し、 π^0 はその大部分が 2 つの γ に崩壊するので光子の正確な測定は非常に重要になる。また、ビーム衝突過程における電子・陽電子散乱の一つである Bhabha 散乱を検出する役割がある。結果、電子・陽電子の衝突頻度が算出でき、Bhabha 散乱の散乱断面積を組み合わせることでルミノシティを測定することができる。

ECL のカロリメーターには発光量が多く、輻射長が短いタリウムをドープしたヨウ化セシウム CsI (Tl) 結晶を使用している。図 2.21 は 1 モジュールの構成であり、大きさは $5.5 \times 5.5 \times 30 \text{ cm}^3$ である。高いエネルギー分解能を実現するために発生した光は PIN フォトダイオードを使って測定される。CsI (Tl) 結晶はバレル部に 6,624 本、前方エンドキャップ部に 1,152 本、後方エンドキャップ部に 960 本合計で 8,736 本が使用され、Belle II 検出器のほぼ全ての角度をカバーしている。図 2.22(a) に ECL の全体像、(b) に使用されるクリスタルを示す。

しかし、CsI (Tl) 結晶は発光時定数が長い ($\tau \sim 1 \mu\text{s}$) ため高レートパルスに対しては信号同士が重なり合ってパイルアップが生じてしまう。特に Belle II の高ルミノシティ環境下ではビーム由来のバックグラウンドによる影響が大きくなる。そこでこの問題に対処するため Belle II では読み出しエレキをアップグレードする。具体的には周波数 2 MHz で波形サンプリングを行いフィッティングすることで、波形の振幅と時間を正確に測定することができる。これによりビームパッ

クグラウンド由来の電磁シャワーの数を $1/7$ 以下にまで減らせる。また、バックグラウンドの影響が大きくなるエンドキャップ部は発光時定数の短い純粋な CsI ($\tau \sim 30$ ns) に置き換えることが検討されている。そうすることで発光時定数は約 $1/30$ まで短くなるためシグナルとバックグラウンドの識別向上が期待できる。

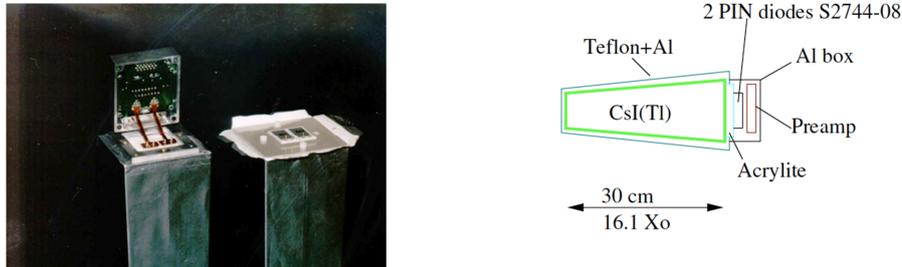
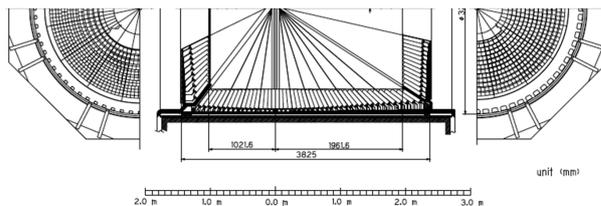


図 2.21: ECL を構成する 1 モジュール。



(a) ECL 全体像



(b) ECL 用クリスタル

図 2.22: (a) は ECL の設計図を示し、エンドキャップ部とバレル部から構成される。(b) は結晶クリスタル CsI(Tl)。

2.2.6 KLM

KLM (K_L and Muon Detector) は物質を通り抜けやすい性質のあるミュー粒子と、電氣的に中性で比較的寿命の長い K_L 粒子の識別を行う検出器である (図 2.23)。KLM より内側の検出器で荷電粒子の運動量、エネルギーなどは測定されている。ミュー粒子は物質中で電磁相互作用により電離損失するのに対し、荷電ハドロンでは強い相互作用を起こすので多重散乱が大きくなる。この散乱の差を利用して、CDC などからの軌跡情報と KLM での軌跡を合わせ荷電粒子がミュー粒子であるかを区別する。また、 K_L は中性粒子であるが、KLM 内の鉄と強い相互作用を起こしハドロンシャワーを作る。相互作用で発生した荷電粒子を捉えることで K_L の飛行方向測定を行っている。

K_L 粒子の検出は $B^0 \rightarrow J/\psi K^0$ の崩壊モードにて生成され、このモードは Unitarity Triangle の ϕ_1 測定に使用される。ミュー粒子は B 中間子の多くの崩壊モードで生成されるので B 中間子のフレーバーを知るため、また B 中間子の稀崩壊モードを観測するためにも重要になる。KLM は

Belle II 検出器の最外層に設置され、RPC (Resistive Plate Chambers) と呼ばれる粒子検出器と鉄板が交互に重ねられたサンドイッチ構造をとる。

RPC は高電圧を印可し、帯電させた高抵抗ガラスでガスをはさんだ構造になっている。ガラス間はガスで充填されているため荷電粒子が通過したときストリーム放電が起き、その信号を外側に設置した金属製読み出しストリップ上で発生する誘導電流として検出し粒子の位置情報を得る。RPC の問題点として一度ストリーム放電が起きると再充電までに 2 s ほどかかり Dead time が生じてしまう。

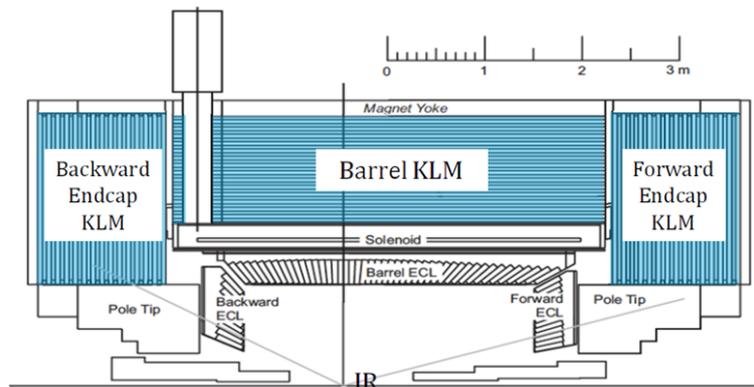


図 2.23: KLM の設計図。

Belle II 実験の高イベントレート化により特にエンドキャップ部でのバックグラウンドレイト向上が懸念される。そこで Belle II 実験では RPC の代わりにプラスチックシンチレーションカウンターをエンドキャップ部に使用する。構造としてはストリップ状のシンチレーションカウンターで、1 層あたり 75 本のシンチレータを並べている。荷電粒子が通過して生じたシンチレーション光をシンチレータ内部にある波長変換光ファイバーを通して読み出す。光検出器はガイガーモード APD ピクセルからなる MPPC (Multi-Pixel Photon Counter) を使用する。この改善によってエンドキャップ部でのバックグラウンドレイトを約 2 桁程度減らせる見込みがある。図 2.24 は 1 モジュールの概略図とプラスチックシンチレータの構造である。すでにモジュール製作は完了しており、図 2.25 は KLM モジュールインストール時の様子である。

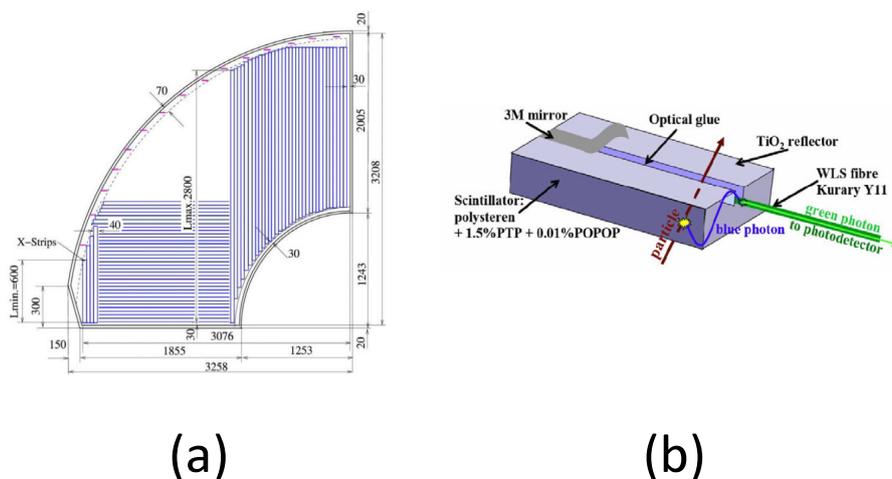


図 2.24: (a) エンドキャップ部 KLM 1 モジュールの概略図。(b)1 ストリップのプラスチックシンチレータ。



図 2.25: Belle II KLM モジュールインストールの様子。

2.2.7 データ収集システム

Belle II 実験ではルミノシティが Belle 実験の 40 倍以上になることで読み出されるデータ量も膨大になるため新たなデータ収集システムが導入される。Belle II 実験におけるデータ収集システム (Data Acquisition: DAQ) の要求性能を表 2.4 に示す。

読み出される 1 イベントのデータ量は合計で 1 MB を超え、レベル 1 トリガーレートは最大 30 kHz と予想される。データ処理に換算すると読み出されるデータ量は最大 30 GB/秒にもなる。Belle II DAQ システムには膨大なデータをリアルタイムで処理し、データを削減することに加え、物理解析上必要な情報を可能な限り取りこぼさないことが要求される。システムの構成は Belle2Link と呼ばれる光ファイバーを用いた高速光データ転送システムによって各検出器で処理されたデジタル信号を送り出す。信号はエレキハット内に置かれた 200 台の共通読み出しモジュール COPPER (COmmon Platform of Pipe-line Electronics Readout) ボードに送られ、Readout PC で処理される。このように共通フレームワークを採用することで開発・メンテナンスの効率化を図っている。Belle2Link と COPPER の詳細は第 6 章で述べる。

ピクセル検出器 (PXD) を除く 6 つの検出器は COPPER を使用してデータが読み出され、第一段階のイベントビルダーと呼ばれる高速 PC ファームで一事象ごとに各検出器から読み出されたデータを結合した後、High Level Trigger (HLT) システムでイベント選択を行う。PXD のデータ量はほかの検出器と比べて圧倒的に多く COPPER を使用することは難しいため ONSEN (ONLine Selector Node) と呼ばれる独自の読み出しシステムが用いられる。HLT で再構成された他の検出器の情報から PXD 上を粒子が通過したと思われるピクセル領域を予測し、その付近だけのデータを後段に送ることでデータ量を削減する。HLT の出力と PXD からのデータは第二段階のイベントビルダーで結合され、ディスクストレージに保存される。以上の構成をまとめたものを図 2.26 に示す [10]。

表 2.4: Belle II データ収集システムの要求性能

最大トリガーレート	30 kHz
最大イベントサイズ	1 MB
最大 Level1 データフロー	30 GB/sec
ピクセルデータサイズ (PXD) の削減	1/10
HLT レートの削減	1/3 ~ 1/6
最大データ記録レート	1.8 GB/sec

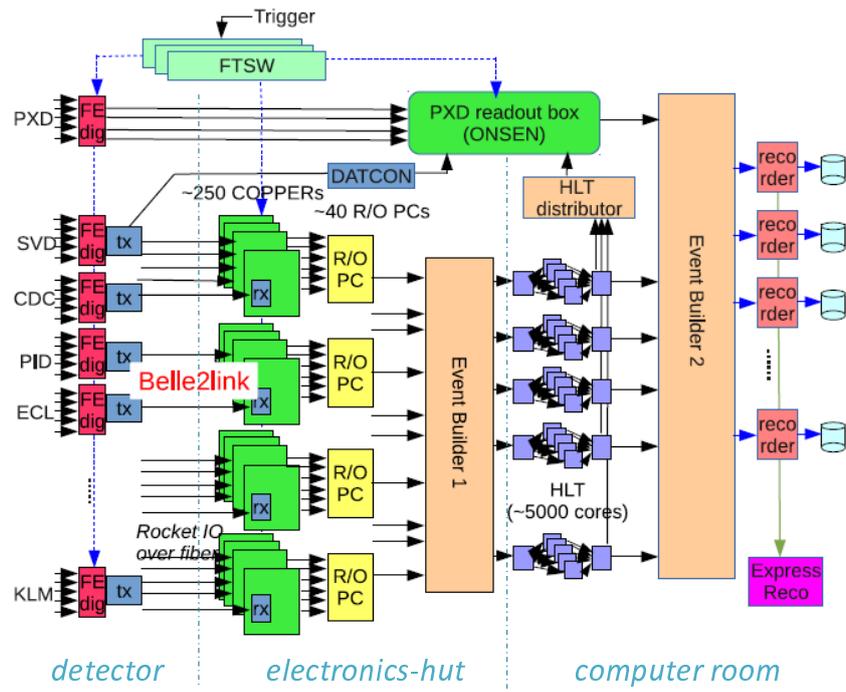


図 2.26: Belle II DAQ システムの全体像。

第3章 Aerogel RICH 検出器の開発

Belle II 実験へのアップグレードに伴い粒子識別装置の一つとして新たに開発されている Aerogel RICH (A-RICH) 検出器について解説する。Endcap 部に設置される A-RICH は Belle 実験で用いられた ACC 検出器単体では識別困難だった高運動量領域での荷電 K/π 粒子識別を目的とする。A-RICH の開発には新潟大学を含め、KEK、千葉大学、東京理科大学、東邦大学、首都大学東京、スロベニアグループなどが参加している。

本章では Cherenkov counter の原理を含めた A-RICH 検出器の開発背景・動作原理について解説する。検出器の構成要素である輻射体 シリカエアロゲル、光検出器 HAPD、読み出しシステムへの要求性能と開発状況についてまとめる。

3.1 Cherenkov counter

Cherenkov counter は Cherenkov 光を利用して粒子識別を行う検出器であり、A-RICH もその原理を利用している。荷電粒子が屈折率 n の物質中をその物質中の光速度 c/n よりも大きい速度で通過するとき光が放出される。これを Cherenkov 光放射という。この時、発生した Cherenkov 光は図 3.1 のように荷電粒子の進行方向に対して θ_C の角度で放射される。粒子の速度を v 、 $\beta = v/c$ とすると Cherenkov 光の発生条件は式 3.1 となる。

$$v > \frac{c}{n} \quad (3.1)$$

また、荷電粒子から見た Cherenkov 光放射角は式 3.2 で与えられる。

$$\cos \theta_C = \frac{ct/n}{vt} = \frac{1}{n\beta} \quad (3.2)$$

このチェレンコフ光を利用した粒子識別装置には閾値型とリングイメージ型の 2 つのタイプがある。閾値型は輻射体の屈折率 n と運動量 p によって Cherenkov 光が放射されるかしないかのみで粒子識別を行い、以下の式 3.3 にしたがう。

$$p \geq \frac{mc}{\sqrt{n^2 - 1}} \quad (3.3)$$

式 3.3 から、輻射体の屈折率 n が決まっているとき、粒子の質量 m によって Cherenkov 光の発生する運動量領域が異なる。図 3.2 は荷電 K/π 粒子に対する屈折率 n と閾値運動量 p_{th} の関係を示す。例えば、屈折率 n が 1.02 の時、運動量 2.0 GeV/ c の粒子が輻射体中を通過すると、荷電 π 中間子からは Cherenkov 光が放射されるが、荷電 K 中間子からは放射されない。このように閾値型は識別したい運動量領域に合わせて輻射体の屈折率 n を調節することが重要である。Belle 検出器の ACC (Aerogel Cherenkov Counter) はこの原理を応用した K/π 粒子識別装置である。Belle 実験の粒子識別は CDC、ACC、TOF (Time-Of-Flight) が担い、Endcap 部では CDC + ACC が使用されていた。

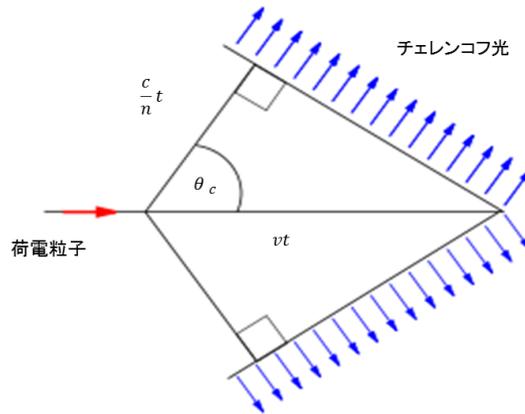


図 3.1: チェレンコフ光の放射原理。

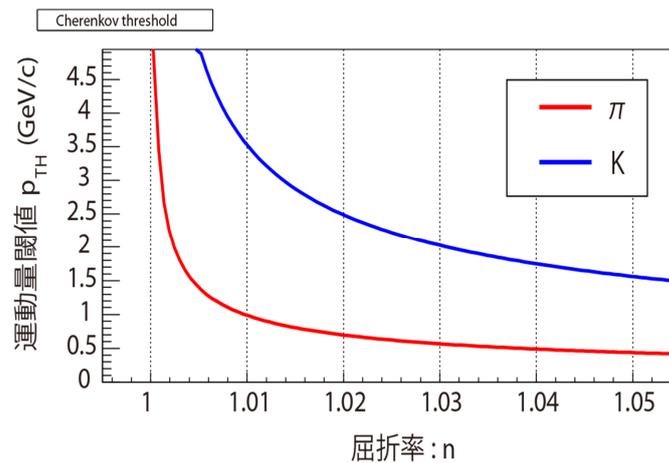
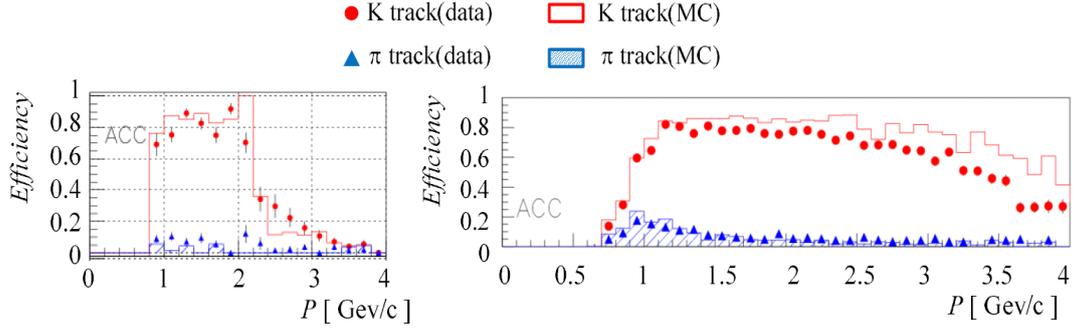


図 3.2: 荷電 K/π 粒子の Cherenkov 光発生条件。縦軸は閾値運動量であり、 π (青線) と K (赤線) で囲まれた領域で識別が可能となる。

Belle 検出器の構成及び閾値型である ACC の性能上、フレーバータグに必要な低運動量領域の粒子識別に重点を置いた。ACC の K 中間子、 π 中間子の識別可能運動量領域、すなわち Belle 実験における Endcap 領域での荷電 K/π 粒子識別範囲は $0.5 \text{ GeV}/c < p < 2.0 \text{ GeV}/c$ である。図 3.3 は ACC における K 中間子、 π 中間子の誤識別率を表し、高運動量領域では識別できる効率 (efficiency) が低下し、相対的に誤認する確率 (fake rate) が高くなっていることがわかる。



(a) Endcap部 ACC のみ

(b) ACC 全体

図 3.3: Belle 実験のデータおよびモンテカルロシミュレーションによる K 中間子の検出効率と π 中間子の誤識別率の結果。(a) は Endcap 部の結果で $2.0 \text{ GeV}/c$ 以上で識別率が低下していることがわかる。(b) は ACC 全体の結果を示す。

衝突エネルギーが非対称である Belle/Belle II 実験では Endcap 部にも 2 体崩壊などによって生じた高運動量の粒子が飛来しやすく、さらに精度の高い K/π 粒子識別が必要となる。そこでフレーバータグに必要な低運動量領域をカバーし、より高い運動量領域での荷電 K/π 粒子識別を可能とするためリングイメージ型である A-RICH 検出器を採用した。A-RICH の荷電 K/π 粒子の識別可能運動量領域は

$$0.5 \text{ GeV}/c < p < 4.0 \text{ GeV}/c$$

であり、ACC と比べて高運動量領域での粒子識別が可能となる。シミュレーションの結果から A-RICH では efficiency が 95% のとき fake rate が 1% に抑えられるような設計になっており、荷電 K/π 粒子識別を 4σ 以上の有意度で行うことを目標にしている。

3.2 A-RICH の粒子識別原理

RICH (Ring Imaging Cherenkov) 検出器は荷電粒子が輻射体を通過した時、放射状に発生する Cherenkov 光のリングイメージを光検出器によって捉え、そのリングの半径から求めた Cherenkov 放射角 θ_C により粒子識別を行う。以下に Cherenkov 光のリングイメージから粒子を識別する原理を示す。

粒子の質量 m は屈折率 n と Cherenkov 放射角 θ_C によって式 3.4 のように表される。

$$m = \frac{p}{c} \sqrt{n^2 \cos^2 \theta_C - 1} \quad (3.4)$$

この式 3.4 より、輻射体の屈折率 n が一定で運動量 p と Cherenkov 放射角 θ_C が測定できれば、輻射体を通過した荷電粒子の質量が決まり、粒子の同定が可能となる。ここで必要な運動量は A-RICH に到達するまでに通過する CDC によって測定されるので A-RICH では Cherenkov 放射角 θ_C を求める必要がある。 θ_C を求めるために輻射体でより多くの Cherenkov 光を発生させ、図 3.4 のように円錐状に放出された Cherenkov 光を高い位置分解能をもった光検出器で 2 次元的にリングイメージとしてとらえる。リングイメージから求められた半径 r と発光点から検出点までの距離 L の幾何学関係から理想的には式 3.5 になる。尚、実際の検出器では輻射体や光検出器などで起こる屈折を考慮しなければならない。

$$\theta_C = \tan^{-1} \left(\frac{r}{L} \right) \quad (3.5)$$

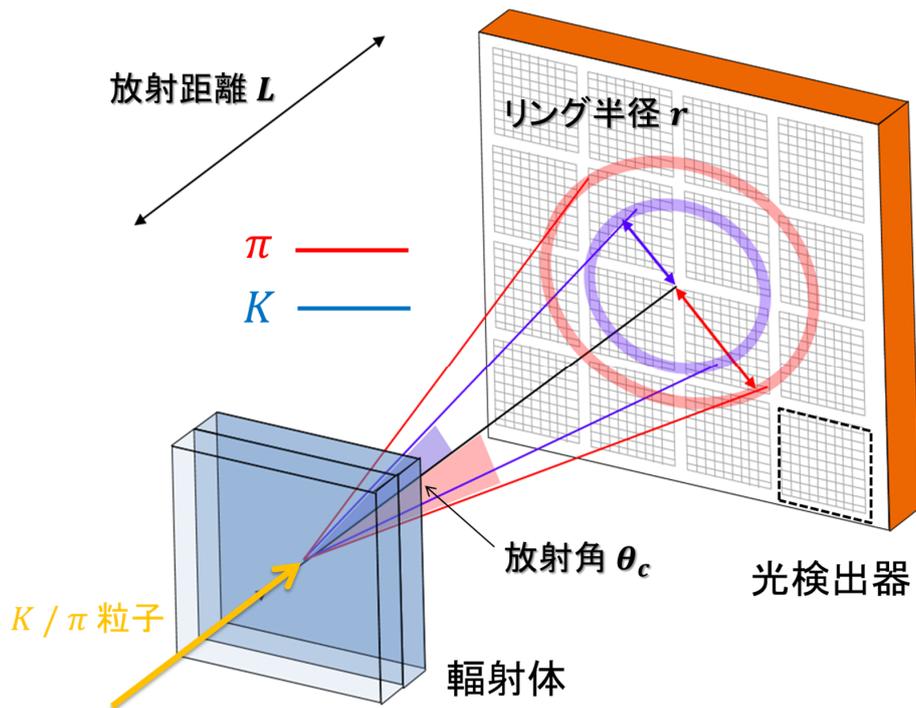


図 3.4: RICH 検出器の基本構成とリングイメージ検出の概念図。

RICH 検出器は一般的に Cherenkov 光の焦点方式によって 2 種類に大別される (図 3.5)。(a) は発生させた Cherenkov 光を凸面鏡を用いて集光し、光検出器に焦点を合わせるミラー焦点型である。ミラー焦点型は厚みのある輻射体内で発生させた Cherenkov 光の放出点不定性を集光ミラーにより改善できるという特徴がある。一般的に輻射体を厚くすると通過する領域が大きくなり、発光量は増加するが、Cherenkov リングは太くなり検出器でとらえる際リングがぼやけてしまう。結果的に角度分解能の悪化につながり精度よく Cherenkov 放射角を求められない。そのためミラー焦点型では集光ミラーの曲率をうまく調整することでぼやけを解消し、発光量を落とすことなく高い角度分解能で測定が可能となる。しかし、集光ミラーにより検出器自体の構造は大型化してしまうため十分な設置スペースが必要になる。

一方で、(b) は輻射体に対して検出器を正面に設置し、放出された Cherenkov 光をそのまま捉える近接焦点型と呼ばれるものである。近接焦点型はミラー焦点型と比べてシンプルな構造で設置スペースをコンパクトに抑えることができる。しかし、集光ミラーなしでリングがぼやけないように角度分解能を維持するためには輻射体を薄くしなければならず、発光量の低下につながってしまう。

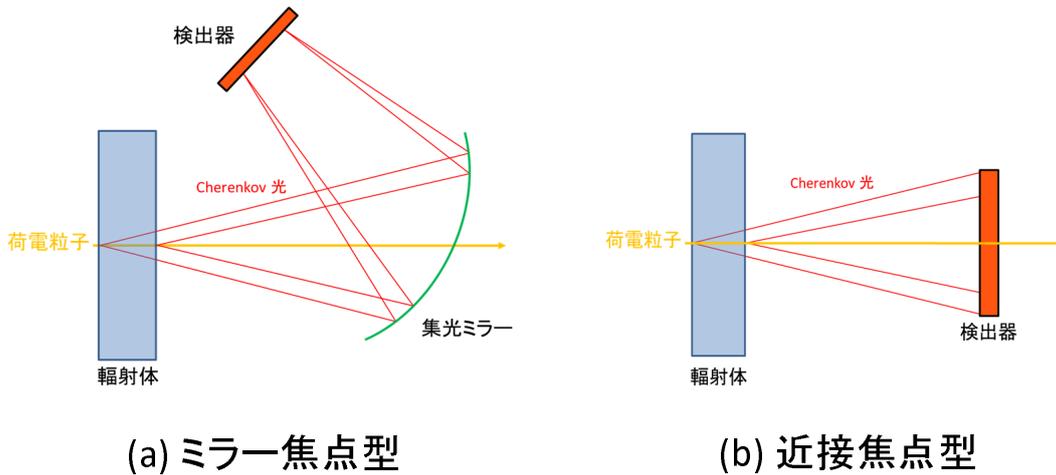


図 3.5: RICH 検出器の分類。

A-RICH では Endcap における設置空間的制約から近接焦点型を採用した。前述の近接焦点型の弱点である発光量の問題について以下の対策をとった。

1トラック (1回の荷電粒子の通過) あたりの角度分解能 σ_{track} は式 3.6 に従う。

$$\sigma_{\text{track}} = \frac{\sigma_{\text{signal}}}{\sqrt{N_{\text{p.e.}}}} \propto \frac{1}{\sqrt{d}} \quad (3.6)$$

σ_{signal} は 1光子あたりの角度分解能、 $N_{\text{p.e.}}$ は平均の検出光子数、 d は輻射体の厚さをそれぞれ表す。式 3.6 より輻射体の厚さ d を大きくすれば発光量すなわち $N_{\text{p.e.}}$ は大きくなるが角度分解能は悪化してしまうことがわかる。設置スペースを考慮すると先行研究の結果から輻射体の厚さ d は 40 mm 前後が妥当であることが試算されている [11]。

輻射体の厚さ制限がある中で検出光子数を増加し、かつ角度分解能を損なわないために屈折率の異なる輻射体を複数組み合わせる方法を採用した。この方法をマルチレイヤー方式と言い、図 3.6 に示す。同じ厚さの輻射体を考える時、通常 1枚の場合は図 3.5(b) のようにリング半径が太くぼやけてしまう。対して、図 3.6 のように 2枚の輻射体を用いて屈折率 n_1 (上流側)、 n_2 (下流側) を変えることで角度分解能が向上できる。特に屈折率を $n_1 < n_2$ にすることで上流側、下流側において発生した Cherenkov 光を検出器面で絞ることができ、荷電 K/π 粒子識別に必要な角度分解能と検出可能な発光量が得られる。

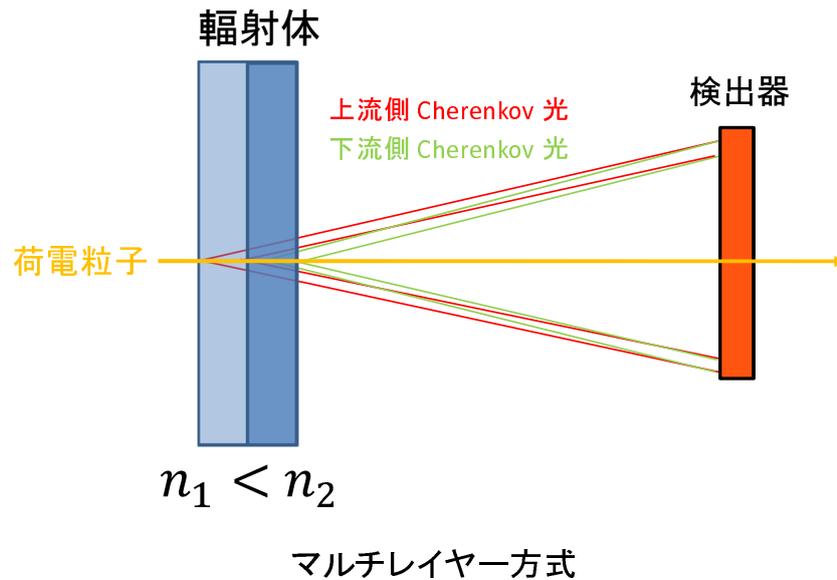


図 3.6: 屈折率の異なる輻射体を用いることで Cherenkov 光リングイメージの角度分解能が向上。

3.3 A-RICH への要求性能と構成

図 3.7 は A-RICH の完成イメージを示す。読み出し方向から見たイメージ図で青色部分がシリカエアロゲル、赤色部分が HAPD、緑色部分が読み出しシステムを示している。A-RICH はビームラインに対し外径約 2 m の同心円状に設置され、エアロゲルをセットするための構造フレームと HAPD・読み出しシステムをセットするための構造フレームの 2 段で構成される。以下に A-RICH の構成要素であるシリカエアロゲル、144 ch マルチピクセル型 Hybrid Avalanche Photo Detector (HAPD)、検出器読み出しシステムの性能について解説する。

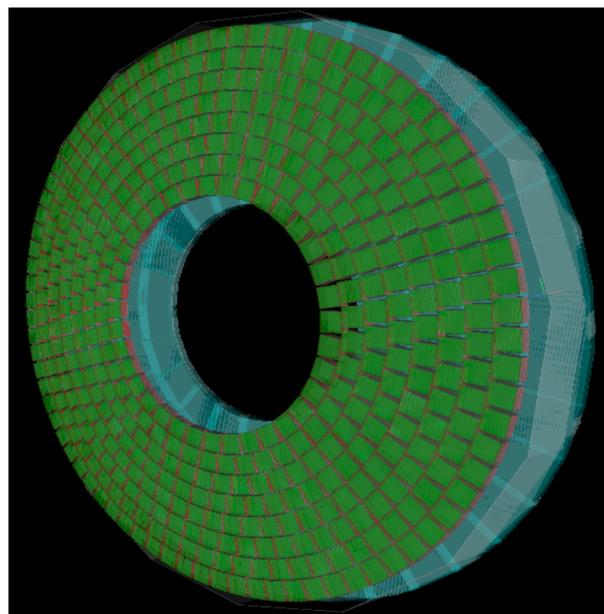


図 3.7: A-RICH の完成イメージ。

3.3.1 シリカエアロゲル

A-RICH の輻射体には $0.5 \text{ GeV}/c < p < 4.0 \text{ GeV}/c$ の広い運動量領域において、Cherenkov 光放射が起こることが求められる。低運動量の粒子でも Cherenkov 光を発生させるには屈折率 (>1.05) であると同時に、発生光子数を多くするために透過長が大きい物質であることが望ましい。

それらの要求性能を満たすようにシリカエアロゲル状の物質を乾燥させた固体物質を作成した。図 3.8 にシリカエアロゲルを示す。粒子径が可視光 ($400 \sim 700 \text{ nm}$) の波長よりも短い数十 nm であるため、光透過性を持つ。また、体積の約 98% 以上が空気で占められていて、固体でありながら低屈折率、低密度、高透過長という特性を持っている。

このような特殊な性質は SiO_2 が 3 次元的に配列された多孔構造が理由であり、密度を調節することで屈折率の調節を可能にしている。表 3.1 に輻射体として利用される主な物質とその屈折率を示す。これより屈折率が 1.05 程度で調節でき、検出器として設置が容易な固体であることから、シリカエアロゲルは A-RICH の要求を満たす輻射体として利用される。

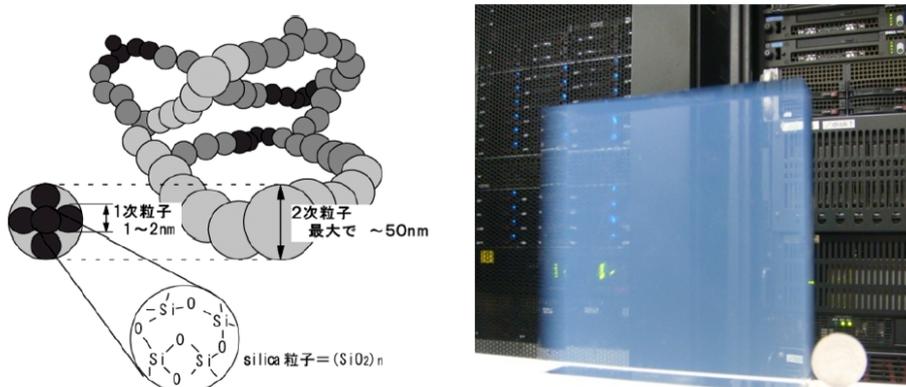


図 3.8: シリカエアロゲルの構造。

表 3.1: 物質の屈折率と密度

	物質	屈折率	密度 (g/cm^3)
固体	エアロゲル	1.003 ~ 1.2	0.02 ~
	ガラス	1.48 ~ 2.00	2.4 ~ 2.6
液体	水	1.3428	0.99984
	液体 He	1.024	0.125
気体	空気	1.00028	0.001293
	二酸化炭素	1.000450	0.002

シリカエアロゲルは ACC の輻射体としても利用されており Belle 実験グループは長年の製造技術を持ち合わせていた。A-RICH 用エアロゲルの開発は千葉大学のグループが中心になって担当している。従来の製造方法では高屈折率のものを安定して作成するのは透過率低下などの問題から困難であったが、近年の新しい製造方法によって高屈折率エアロゲルの安定製造に成功した [12]。屈折率は 1.003 ~ 1.25 の範囲で製作可能となり、エアロゲルタイルの大型化も容易になった。現在は実機に必要な屈折率の異なる 2 種類のシリカエアロゲル、下流側 $n_1 = 1.055$ 、上流側 $n_2 = 1.045$ ¹

¹Cherenkov 光相当の波長 $\lambda=400 \text{ nm}$ の時の屈折率

の量産・性能評価が完了している。図 3.9 に実機で使用するシリカエアロゲルの開発状況を示す。

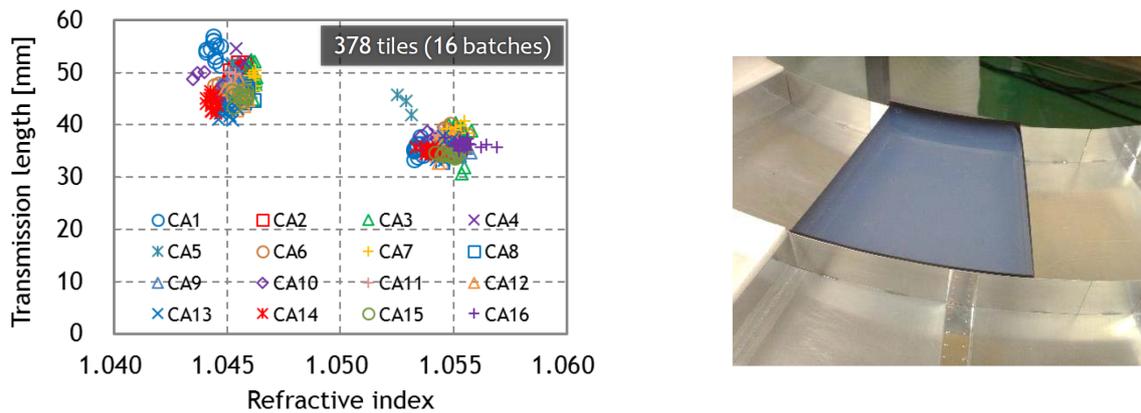


図 3.9: 左に量産されたシリカエアロゲルの屈折率と透過率の関係を示す。それぞれのマークは製造番号を表し、品質が保たれていることがわかる。右の写真は構造フレームに設置された様子。

3.3.2 光検出器 HAPD

A-RICH に用いられる光検出器に必要な性能を以下に示す。

- 荷電 K/π 粒子が作り出すリングイメージの半径差を識別できる位置分解能 ~ 5 mm
- 輻射体で発生した Cherenkov 光を測定できる 1 光子検出能力
- A-RICH が設置される 1.5 T の磁場中でも動作可能
- 10 年間の Belle II 実験の運転期間中に被ばくすると予想される放射線への耐性

A-RICH ではリングイメージによる Cherenkov 放射角度差により粒子識別を行うため、使用される光検出器には高い位置分解能が求められる。輻射体の屈折率が 1.05、荷電粒子の運動量が $4.0 \text{ GeV}/c$ のとき、 K 中間子と π 中間子の放射角度差は 23 mrad となる。この角度差はリング半径にすると約 5 mm の差になるので光検出器にはそれ以下の位置分解能を持つことが要求される。また、放出される Cherenkov 光子数は非常に小さいため、1 光子検出が可能な増幅率があることや 1.5 T の磁場中でも動作可能であることが求められる。

以上の要求を満たす光検出器として、144 ch マルチピクセル型 HAPD を浜松ホトニクス (株) と共同で開発した [13]。現在は Belle II 実験開始に向け、量産および性能評価の最終段階にあり、A-RICH で使用する 420 個の HAPD を選定している。図 3.10 は HAPD の外観図を示す。

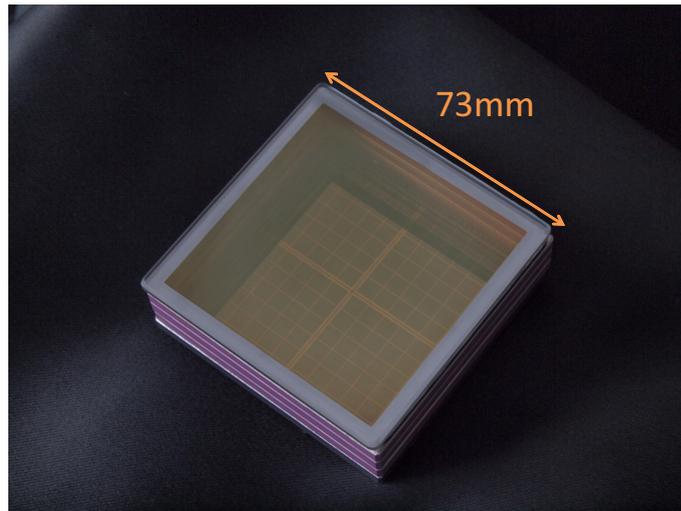


図 3.10: 光検出器 HAPD。

HAPD の動作原理

HAPD の構造と動作原理は図 3.11 のようになっている。光電面に光が入射して光電効果により光電子が放出される。HAPD は高電圧を印加し光電子を加速させる真空管部分と半導体検出器 APD (Avalanche Photo Diode) を組み合わせた構造になっている。APD とは Avalanche (雪崩) 増幅を利用し受光感度を上昇させたフォトダイオードである。

放出された光電子は $-7 \sim -8.5 \text{ kV}$ の高電圧によって真空管内で加速され、APD に打ち込まれる。打ち込まれた光電子はエネルギーを落とし、平均 3.6 eV 当たり 1 対の電子-正孔対を生成する。この電場加速による打ち込み増幅として $\mathcal{O}(3)$ を得る。APD 内部で生成された電子-正孔対は逆バイアス電圧によって電子は N 層側、正孔は P 層側にそれぞれ移動し、Avalanche 増幅領域を通過する。そのとき新たな電子-正孔対が生成され、雪崩式に増幅が起きることで Avalanche 増幅として $\mathcal{O}(1)$ を得る。最終的には入射電子数に比例した電圧パルスとして検出し読み出している。

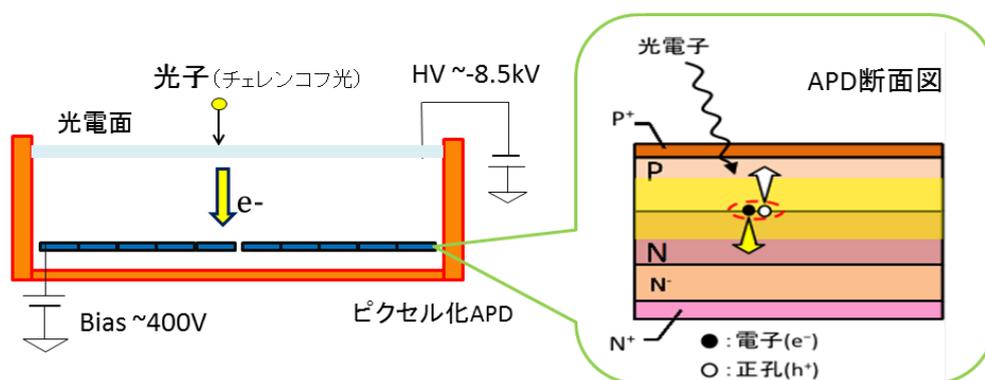
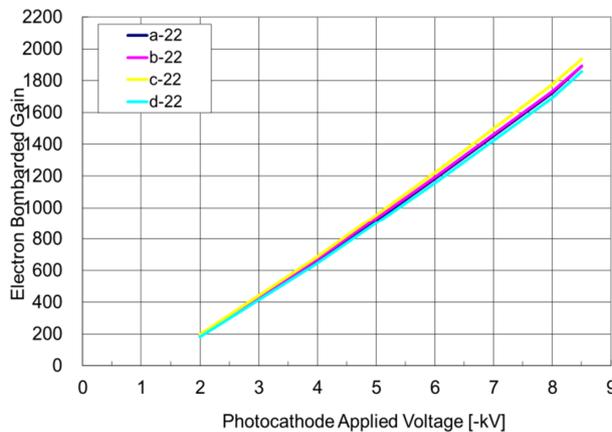


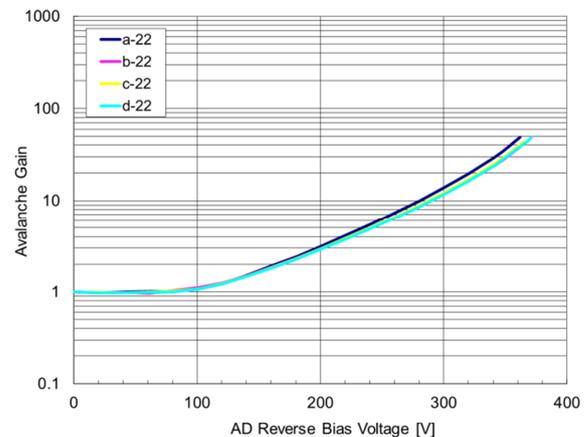
図 3.11: HAPD の動作原理。

電子打ち込み増幅と Avalanche 増幅により最終的な HAPD の増幅率は $\mathcal{O}(5)$ になる。一般的な光電子増倍管の増幅率 $\mathcal{O}(7)$ に比べると低いですが、HAPD の特徴として初期段階での打ち込み増幅が高いことから 1 光電子検出に優れ、APD をピクセル化することにより 5 mm 以下の位置分解能

を実現した。図 3.12 は一つの HAPD サンプルに関して印可電圧に対する各増幅率の関係を示す。HAPD の動作には打ち込み増幅用の H.V. 電圧、Avalanche 増幅用の逆バイアス電圧、チャンネル毎の電場を形成するためのガード電圧が必要であり、HAPD 用電圧モニタシステムの開発も進行している。



(a) 電子打ち込み増幅



(b) Avalanche 増幅

図 3.12: HAPD の H.V. 電圧、逆バイアス電圧印可に対する増幅率。線は各 APD チップにおける 1 チャンネルの測定値。

HAPD の放射線耐性

Belle II 実験 10 年間で予想される A-RICH への放射線量は 1 MeV 相当の中性子が最大 1.0×10^{12} neutrons/cm²、ガンマ線量が 1000 Gy 程度とシミュレーションの結果から見積もられている [14]。特に A-RICH が置かれる Endcap 部は中性子の影響が大きく、また APD などの半導体検出器は中性子によるダメージを受けやすい。以下に APD の構造と原理、中性子への対策を説明する。図 3.13 は APD の構造を示す。

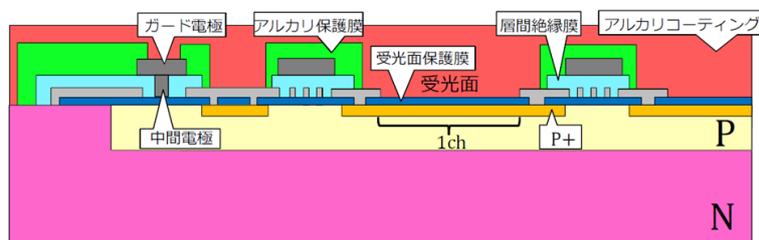


図 3.13: HAPD に使用する APD の構造。

HAPD に使用されている APD はシリコンで構成され、構造は P⁺ 層、P 層、N 層となっていて、P-N 層間には逆バイアス電圧を印可することで Avalanche 増幅領域が作られる。光電子が空乏層に入射して励起したキャリア (電子・正孔) はドリフト運動して各電極に引かれてゆく。逆バイアス電圧を大きくすることにより空乏層において高電場になる。キャリアは格子原子や不純物原子との衝突を繰り返し、運動エネルギーを失いながら運動するが、電場が十分強いと価電帯 (伝

導帯)に束縛されている電子(正孔)を伝導帯(価電帯)に励起するのに十分なエネルギーを得られる。このような衝突・電離を繰り返し2次、3次と電子・正孔が雪崩上に生じることで信号が増幅される。

放射線による半導体へのダメージはP層とN層の結晶に影響するのでできるだけ薄くする必要がある。P層で励起された電子はN層で励起された正孔に対して100倍ほど強くAvalanche増幅に寄与するので、HAPDに使用するAPDはP層を薄くしてある。P層の上に高濃度でドーピングされたP⁺層を入れることでP-N構造よりも空乏層が広がり信号の応答が速くなる。さらにP⁺層を薄くすることで打ち込まれた光電子のエネルギー損失が小さくなるため増幅率が大きくなる。

144 chあるHAPDの各チャンネルは完全に独立しているわけではなく、P層はAPDチップ共通である。そこでガード電極を入れて電場を形成し、受光面以外への電子線入射を防いでいる。ガード電圧がない場合、チャンネル間のP層とP⁺層との電場勾配が小さくなり、チャンネル間の空乏層が形成されにくくなるので、HAPDにガード電圧を印可する必要がある。層間絶縁膜は他の電極とのショートを防ぐ役割があり、電極間の絶縁を行うためにガード電極とセットで組み込まれている。

HAPDの性能

HAPDは5mm以下の位置分解能を実現するためにピクセル化された4つのAPDチップから構成される。APDは6×6=36に分割され、1台のHAPDで合計144チャンネルの信号読み出しが可能となる。1チャンネルの大きさは4.9×4.9mm²であり、A-RICHの要求性能を満たしている。図3.14にHAPDの構造を示し、各チャンネル信号は読み出しピンに接続され、専用の読み出しボードにより信号の処理・出力を行う。HAPDの各種パラメータを表3.2にまとめる。

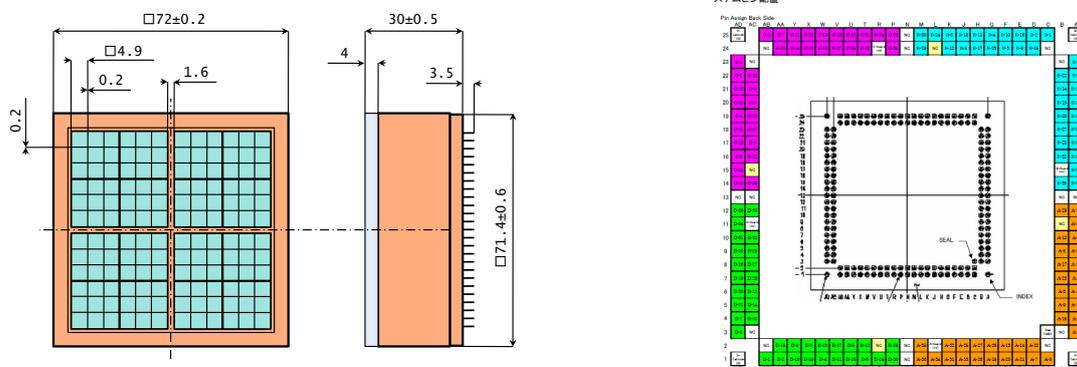
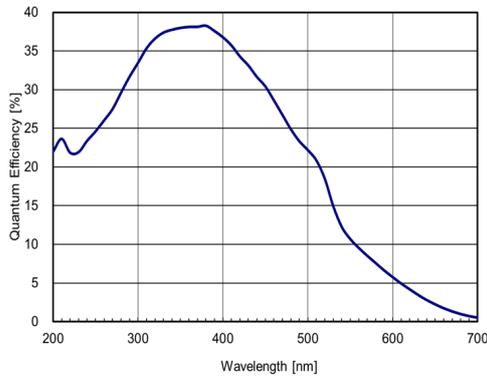


図 3.14: HAPD の構造図で左から光電面、側面、背面の図。光電面で水色部分が4つのAPDチップ。背面から信号出力ピンが配線されている。

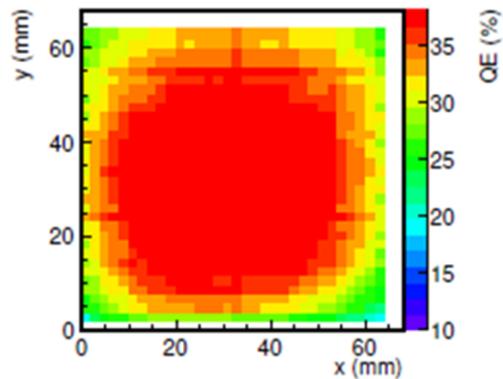
表 3.2: HAPD の仕様。

大きさ		73 × 73 mm ²
入射窓	材質	合成石英
	厚さ	3 mm
APD	チップ数	2 × 2
	ピクセル数/チップ数	36 チャンネル/チップ
	ピクセルサイズ	4.9 × 4.9 mm ²
	逆バイアス電圧	~ 400 V
	Avalanche 増幅	~ 50
光電面	材質	スーパーバイアルカリ
	最大 QE	~ 30%
打ち込み増幅	電子打ち込み電圧	~ -8.5 kV
	増幅率	~ 1700
最終増幅		10 ⁴ ~ 10 ⁵
S/N 比		~ 15
読み出しチャンネル		144 チャンネル

光検出器の重要な性能の一つである量子効率 (QE) は Cherenkov 光の典型的な波長 390 nm に対し、28%以上を有している。入射窓は合成石英を使用しており、光電面にはスーパーバイアルカリが蒸着されている。図 3.15 にある一つのサンプル HAPD に関する量子効率の波長依存性と 2 次元分布を示す。



(a) 量子効率の波長依存性



(b) 量子効率の 2D スキャン

図 3.15: HAPD の量子効率。(b) より中心部の方が高い値を示していることがわかる。平均量子効率は 35.0%

3.3.3 読み出しシステム

A-RICH 読み出しシステムの主な要求性能として以下の項目が挙げられる。

- (1). 高利得・低雑音の増幅機能

- (2). 設置スペースのコンパクト化
- (3). 多チャンネル同時読み出しが可能

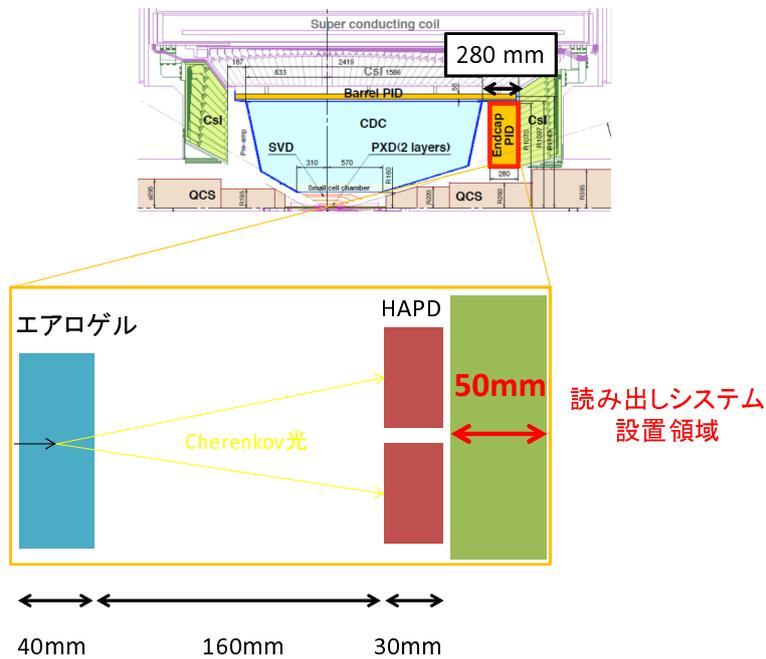


図 3.16: A-RICH の設置領域。読み出しシステムは 50 mm の限られたスペースに収めなければならない。

- (1). HAPD の最終増幅率は $\mathcal{O}(5)$ であり、一般的な光電子増倍管の増幅率 $\mathcal{O}(7)$ と比較すると低い。1 光子検出性能を上げるためにも検出器からの信号を低雑音の下、高増幅することが求められる。
- (2). A-RICH はビームラインや他の検出器の構造上限られたスペースでの設置が求められる。図 3.16 のように検出器に必要な構成要素をビーム軸方向に対し 280 mm の範囲に収めなければならない。輻射体のエアロゲルは 40 mm、拡散領域としてエアロゲルから HAPD の光電面まで 200 mm、HAPD の厚さ 30 mm がそれぞれ必要になるため残された領域はわずか 50 mm 以下になってしまう。読み出しシステムにはこの限られた空間内で検出器の情報を処理し、Belle II DAQ に送り出すことが求められる。

- (3). HAPD はピクセル化されており 1 台 144 チャンネルの信号が読み出される。実機では 420 台の HAPD が使用されるため、合計で約 6 万チャンネルの信号処理及び読み出しが要求される。

これらの要求をすべて満たすために 2 種類の専用読み出し回路を開発した [15]。HAPD からの信号を処理し、信号読み出しを行う Front-end board とデータの圧縮・送信を担う Merger board である。Front-end board は HAPD 1 台に 1 機搭載され検出器からのアナログ信号をデジタル信号に変換する役割がある。Merger board は複数台の Front-end board からの信号を統合し、Belle II DAQ システムに送り出す機能がある。ASIC や FPGA などの集積回路を使用することで高集積化が可能であり、読み出しシステムに与えられたわずかなスペースでの設置が可能である。

第4章 読み出しシステムの性能試験

A-RICH 読み出しシステムの動作確認として FE board、Merger board を用いた読み出し試験を行った。本章では読み出しシステムの構成と FE board、Merger board の回路について説明する。また、性能試験として Belle II DAQ システムが要求する条件でのデータ読み出しと HAPD 接続テストについて報告する。

4.1 読み出しシステムの構成

図 4.1 に A-RICH 読み出しシステムの概略図を示す。設置領域幅 50 mm という限られたスペースに Front-end board (FE board) と Merger board 2 種類の読み出し回路を使って信号処理からデータの読み出しまでを行う。FE board は 144 ch HAPD 1 機に 1 台が接続されるので、HAPD と同数の 420 台が使用される。Merger board は全 72 台を使用し、FE board 5~6 台分のデータを併合する。複数の FE board のデータを 1 台の Merger board に集め、処理することでデータ量を圧縮し、420 本ある読み出しケーブルを 72 本まで削減できる。

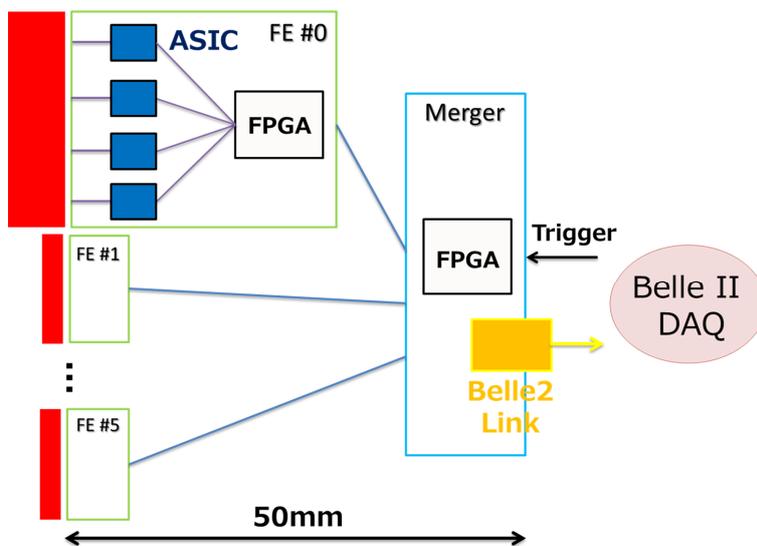


図 4.1: A-RICH 読み出しシステムの概念図。HAPD からのデータを Belle II DAQ に送る。

4.2 Front-end board

A-RICH の信号読み出しにおいて重要なことは 1 光子を検出することである。したがって検出器からの電気信号の波高値測定は必要なく、光子を検出できたか否かの bit 情報のみ調べられれば良い。A-RICH の Front-end は信号を増幅・整形し、比較器によって信号判定を行う回路構成になっている。Front-end 内部の電子回路の概要を図 4.2 に示す。回路の信号処理は HAPD からの

信号を前置増幅器で増幅後、波形整形器で波形の立ち上がり時間などを調整することでアナログ処理を行う。処理された信号は比較器を通り、設定した閾値電圧よりアナログ信号波形が大きい場合、デジタル信号として1光子検出信号を出力する。比較器から出力されたデジタル信号はシフトレジスタに光子検出のbit情報として保持され、後段のMerger boardからのトリガーによって値が読み出される。

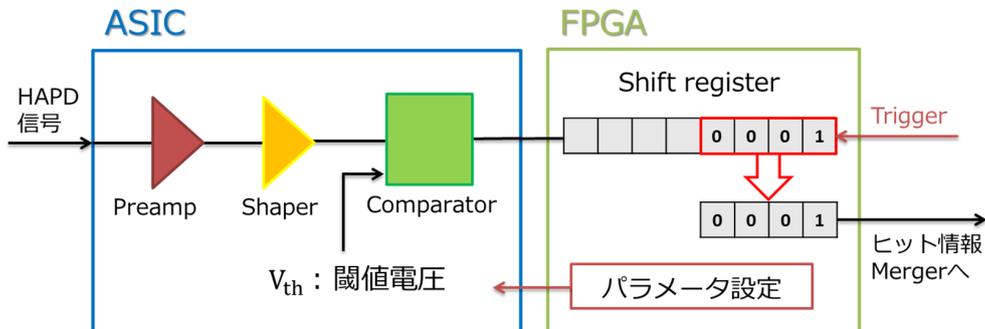


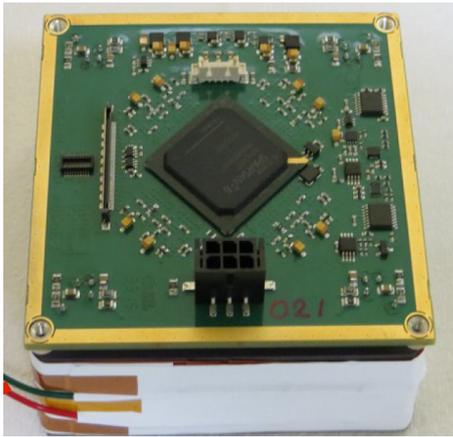
図 4.2: Front-end board 内部の回路構成。アナログ信号処理を行う前段の ASIC とデジタル信号処理を行う後段の FPGA による回路。

前段の増幅器、波形整形、比較器までのアナログ処理は ASIC によって行われる。ASIC とは Application Specific Integrated Circuit の略で汎用 IC を組み合わせた回路とは異なり、個別に設計を行い1つの IC とすることで高集積化・高速動作が可能となる。A-RICH 専用の読み出し ASIC として SA シリーズの開発が 2007 年から行われ、最終版である SA03 の量産・性能試験が終了した。ASIC の機能に関しては以下で詳しく解説する。

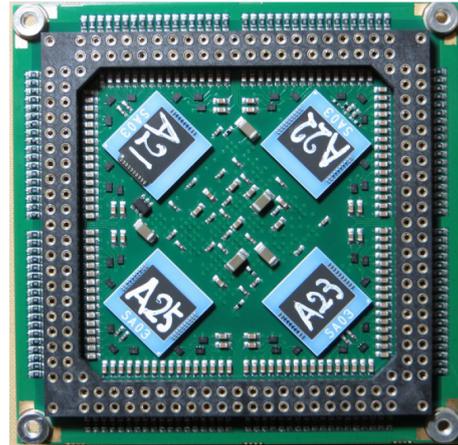
後段のデジタル信号処理は FPGA を用いる。FPGA とは Field Programmable Gate Array の略で ASIC とは異なりハードウェア記述言語 (HDL) で自由に回路構成を変更でき、多チャンネル信号読み出しにも柔軟な対応ができる。主な役割として FPGA 内のシフトレジスタに内部クロックのタイミングでヒット情報を記録し、トリガーが入力されると 4 bit 分の信号が出力される。4 bit のうち 1 bit でも出力があればチャンネルからの信号を検出したとみなす。

他には SA03 のパラメータ設定や Merger board との通信の役割も担っている。FE board は 3 電源 (+3.8 V, +2.0 V, -2.0 V) で動作し、FPGA、ASIC の回路に使用される。

図 4.3 に最終版の FE board を示す。(a) は FE board を HAPD に装着した写真であり、中央にあるのが FPGA である。(b) は HAPD 装着面であり FE board 1 台に 1 チップ 36 チャンネルで 4 つの ASIC が搭載されている。



(a) 信号読み出し側



(b) HAPD ピンコネクタ側

図 4.3: (a) は実際に HAPD を装着した様子である。(b) は HAPD 接地面で ASIC 4 つが搭載されている。

4.2.1 読み出し用 ASIC

実機で使用する読み出し用 ASIC SA03 について解説する。図 4.4 に SA03 の回路構成を示す。回路は増幅器 (Preamp)、波形整形器 (Shaper)、2 種類のオフセット調節回路 (Offset Adj.) の後、比較器 (Comparator) で信号検出を行う。

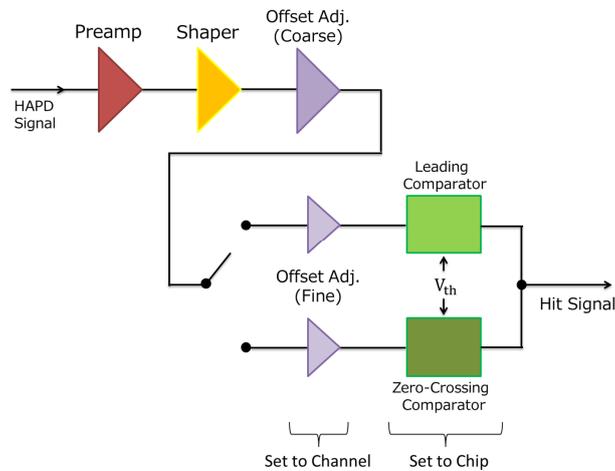


図 4.4: SA03 の回路構成。オフセットはチャンネル毎に 2 段階の調節が可能となる。Comparator (比較器) の選択は内部スイッチにより行う。

増幅器 (Preamp)

内蔵されている増幅器は電荷有感型であり、ASIC のパラメータにより帰還容量を変更することで 4 段階の増幅率調節が可能である。最も高い設定 $gain_0$ を基準 (=1) として 1: 1/2: 1/3: 1/4 となるように設計されている。(図 4.5)

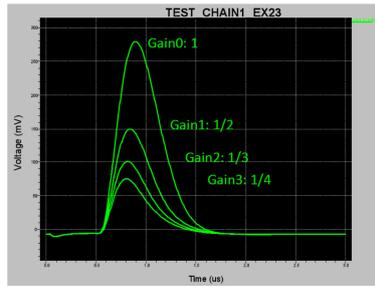


図 4.5: 増幅器の動作シミュレーション。出力は波形整形後の様子を示す。

波形整形器 (Shaper)

波形立ち上がり時間である Shaping time を調節する非反転増幅器と Pole-Zero 補償回路から構成されている。増幅器からの信号は数 μs と長い波形なので数百 ns オーダーにまで短縮させる。Pole-Zero 補償回路はアナログ出力回路のアンダーシュートを防ぐために設計されている。波形整形時間の調整は 1 番長い設定を基準 (=1) として 1: 1/2: 1/3: 1/4 の 4 段階に調節できる。SA03 では Shaping time を 100 ~ 200 ns の範囲で調節できるように設定されている。(図 4.6)

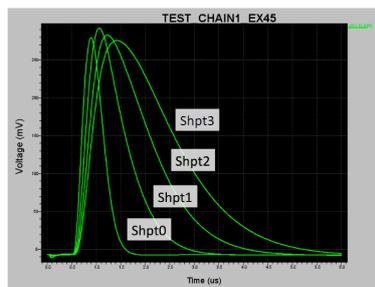


図 4.6: 波形整形器の動作シミュレーション。4 段階の Shaping time(立ち上がり時間) に調節ができる。

オフセット調節回路

1 光子検出を正確に行うためにオフセット調節機能は重要になる。本来適切に 1 光子を検出したい場合、比較器の閾値電圧 (Threshold Voltage: V_{th}) を各チャンネルごとに設定する必要がある。しかし、そのためには全チャンネル分の ADC が必要になり、回路が大型化してしまう。そこで SA03 では閾値電圧を全チャンネル共通にして、各チャンネルのオフセットを調節する方法を採用した。粗調節 16 段階、微調節 16 段階の 2 段構成にすることで計 256 段階のオフセット調節が可能となる (図 4.7)。

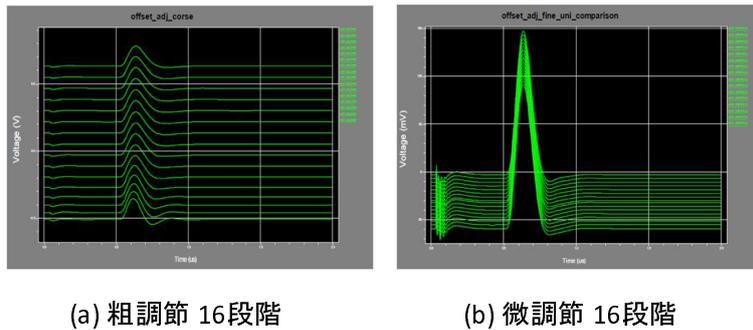


図 4.7: オフセット調節回路のシミュレーション。(a)粗調節 16 段階、(b)微調節 16 段階の 2 段で構成され、256 段階の調節が可能

比較器 (Compareter)

比較器は入力されたアナログ信号と閾値電圧 V_{th} を比較し、アナログ信号が V_{th} を超えている間のみ矩形波を出力する回路である。出力された矩形波はデジタル信号としてそのまま利用でき、後段の FPGA へと送られる。SA03 では 2 種類の比較器を選択できる。

一つはリーディング型と呼ばれる一般的な比較器であり、動作原理を図 4.8 (a) に示す。閾値電圧を入力信号が超えた時、比較器からの出力が終了する。入力信号の電圧が閾値電圧を上回っているときのみ信号が出力されるため、ベースラインが最初から閾値電圧を超えた状態では出力されないという特徴がある。

もう一つはゼロクロス型と呼ばれ、入力信号のピーク検出の有無によりデジタル出力を行う比較器である。動作原理を図 4.8 (b) に示す。入力信号のピークの位置を得るために微分回路により微分処理を行う。その微分波形を反転させた信号と微分波形のベース電圧をリーディング型比較器に通す。そうすることで図 4.8(b) のようにアナログ入力信号がピークに達したタイミングに矩形波を出力する。リーディング型のみを使用したときと比べ、デジタル出力のタイミングがアナログ信号の波高値に依存しないという特徴がある。A-RICH においては通常リーディング型を使用する予定である。

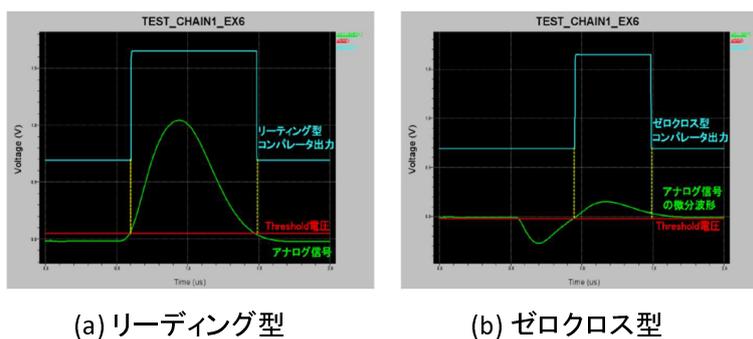


図 4.8: 比較器の動作シミュレーション。(a) はリーディング型、(b) はゼロクロス型の動作を示す。

パラメータ設定回路

前述した増幅率や波形整形時間の調節は ASIC に備えられた回路パラメータで設定できる。回路パラメータはデジタルスイッチング回路により構成される。パラメータの種類は2種類存在し、ASIC の1チップ36チャンネル共通に設定されるグローバルパラメータと各チャンネルごとに設定されるチャンネルパラメータがある。表 4.1、4.2 にそれぞれで定義されるパラメータをまとめ、略称、機能、設定スイッチ (SW) のビット数を示す。表 4.3 は FPGA から各パラメータ設定をする時のアドレスマップである。

表 4.1: グローバルパラメータ

パラメータ	機能	SW
PHASECMPS	位相補償用帰還容量の設定	2bit
GAIN	前置増幅器増幅率の設定	2bit
SHAPINGTIME	波形整形器 Shaping time の設定	2bit
COMPARATOR	比較器の選択	1bit
VRDRIVE	比較器出力回路の調整	8bit
MONITOR	モニターするアナログ信号の選択	2bit
ID	チップ識別子 (設定不可、読み出し専用)	9bit

表 4.2: チャンネルパラメータ

パラメータ	機能	SW
DECAYTIME	増幅器出力信号の減衰時間の設定	3bit
OFFSET	オフセット粗調節	4bit
FINEADJ_UNIPOL	UNIPOL 出力 [†] のオフセット微調節	4bit
FINEADJ_DIFF	DIFF 出力 [‡] のオフセット微調節	4bit
TPENB	テストパルス入力使用許可	1bit
KILL	チャンネル使用許可	1bit

[†] リーディング型への入力に対応

[‡] ゼロクロス型への入力に対応

表 4.3: SA03 アドレスマップ

Address	R/W	Operation	Function
0x00	/W	CLEAR	clear (not used)
0x01	/W	RUNCLEAR	clear event number
0x02	R/	STAT	internal status value: { tx_busy, veto }
0x03	R/W	CSR1	control status register: { ro_mode, polarity, lvds_trig, mode_edge, vetoen }
0x04	R/W	HDCYCLE	hit data cycle (5-bit): hdcycle[4:0]
0x05	R/W	TRGDELAY	trigger delay (5-bit): trgdelay[4:0]
0x06	R/W	CSR2	control status register: { pio_trigmask, pio_halfcycle[2:0] }
0x07	/W	SOFTTRIG	software trigger
0x08	R/W	TP	output of the TP pin: tp[0]
0x09	R/W	TRIGEN	trigger enable
0x0a-0b	R/W	UTILBUF	utility buffer read out in a header
0x10	/W	INIT	send INIT to all ASICs
0x11	R/W	SEL	set the chip and channel in the FPGA
0x12	/W	PRMSET	send the parameters in the FPGA to the ASIC
0x13	/W	NDRO	non-destructive readout (for SA03)
0x14-17	R/	LASTSEL	last selected channel for the chip
0x20-23	R/W	WPARAM	set the ASIC parameters in the FPGA
0x24-27	R/	RPARAM	ASIC parameters read back

4.2.2 ASIC の信号処理

SA03 (ASIC) で処理され最終的に出力される信号は 0 か 1 のデジタル信号であり、直接アナログ波高値などの情報は得られない。そこで比較器の閾値電圧 (V_{th}) とその時のヒット分布との相関を見ることで間接的にアナログ情報を得ることができる。この測定方法を「スレッシュホールドスキャン」と呼び、その詳しい測定手順を以下に示す。

1. SA03 のパラメータを初期値に設定する。
2. 閾値電圧 V_{th} を初期値 V_{th0} に設定する。
3. n 回トリガーを受け、入力が V_{th} を超えた分のヒット数を記録する。
4. V_{th} を d *th* 刻みで上げた閾値電圧に設定する。
5. 2, 3 を n *th* 回繰り返し、ヒット率の変化をチャンネル毎のヒストグラムとして得る。
6. 全チャンネルの情報からオフセット調節用パラメータを計算し、SA03 に再度設定する。

これら一連の測定は測定用 PC により自動で行われる。測定時には SA03 パラメータファイル, n , n *th*, V_{th0} , d *th* などのパラメータを設定する。

次にスレッシュホールドスキャンの解析方法について解説する。図 4.9 はその概念図を示す。左側の波形は比較器に入力される直前のアナログ信号を表し、右側の分布は入力信号を比較判定した結果で閾値電圧を縦軸にとったヒット率の変化を示す。

図 4.9 (a) は入力信号はなくノイズのみを測定したときの結果である。ノイズの波高分布は Gauss 分布に従うため、ヒストグラムのピークは Gauss 関数で近似できる。フィットの結果から Gauss

分布の標準偏差 σ をノイズの波高値と定義する。また、Gauss 分布の中心値 μ からそのチャンネルのオフセット電圧がわかる。オフセットの調節はこの σ と μ からパラメータを計算する。

図 4.9 (b) はテストパルス入力時のような理想的な状態でのスレッシュホールドスキャンの結果である。ノイズがほとんどなく理想的なパルス信号が入力され続けた場合、スレッシュホールドスキャンの分布は矩形波の形になる。 V_{th} の低い方の青線がオフセット電圧に、高い方の青線が入力波形の最大値にそれぞれ対応している。したがって、2つの青線の差(電圧差)を求めることでアナログ信号の波高値を得ることができる。この矩形波を近似するには誤差関数 $\text{erfc}(x)$ と呼ばれる以下の式 4.1 を使用する。

$$\text{erfc}(x) = 1 - \text{erf}(x) = \frac{1}{\sqrt{\pi}} \int_{\pi}^x e^{-t^2} dt \quad (4.1)$$

式 4.1 は近似させる青線によって以下の式 4.2 のように使い分ける必要がある。

$$\begin{aligned} \frac{1}{2} \text{erfc} \left(\frac{V_{th} - \mu_{sig}}{\sqrt{2}\sigma_{sig}} \right) &: (\text{upper side}) \\ \frac{1}{2} \text{erfc} \left(-\frac{V_{th} - \mu_{ofs}}{\sqrt{2}\sigma_{ofs}} \right) &: (\text{lower side}) \end{aligned} \quad (4.2)$$

この時、 V_{th} は誤差関数の変数としての閾値電圧である。ここでも図 4.9 (a) で定義した σ と μ が出てくるが、2つの誤差関数の中心値 (μ_{sig} が入力信号の波高値、 μ_{ofs} がオフセット電圧の位置にそれぞれ対応) とその標準偏差に対応している。 σ が 0 の極限でこの傾斜は垂直となり、その位置が μ となって波高値そのものとなる。2つの誤差関数の中心値の差 $\mu_{sig} - \mu_{ofs}$ が増幅器出力信号の波高値に相当する。

図 4.9 (c) は HAPD を接続して 1 光子相当の光を入射させた時のスレッシュホールドスキャンの結果である。HAPD の光子検出は Poisson 分布に従う確率現象であることと光電子検出以外にも検出器の暗電流によるノイズや読み出しエレクトロニクス自体のノイズが入力されることを考慮するとこのような分布になる。スレッシュホールドスキャンの一番高いピークはペDESTAL に相当する。その上にある広い階段状の分布が 1 光子信号に対応し、図 4.9 (b) の時と同様に解析して $\mu_1 - \mu_0$ が 1 光子信号によるアナログ信号波高値となる。1 光子信号にのっているノイズによる傾斜と 2 光子信号が検出されるのでスレッシュホールドスキャンの結果は 1 光子信号よりも高い閾値電圧領域に分布が広がっている。

実機では全 144 チャンネルの Gauss 関数のフィットパラメータからオフセット調節用のパラメータを計算し、各チャンネル毎に調節することでオフセットレベルを一定にする。オフセット調節後ノイズの影響を排除し、1 光子信号を十分に分離できる閾値電圧(先行研究ではオフセットからノイズ波高値の 3 倍以上の位置)に設定することで Cherenkov 光のヒット判別を行う。

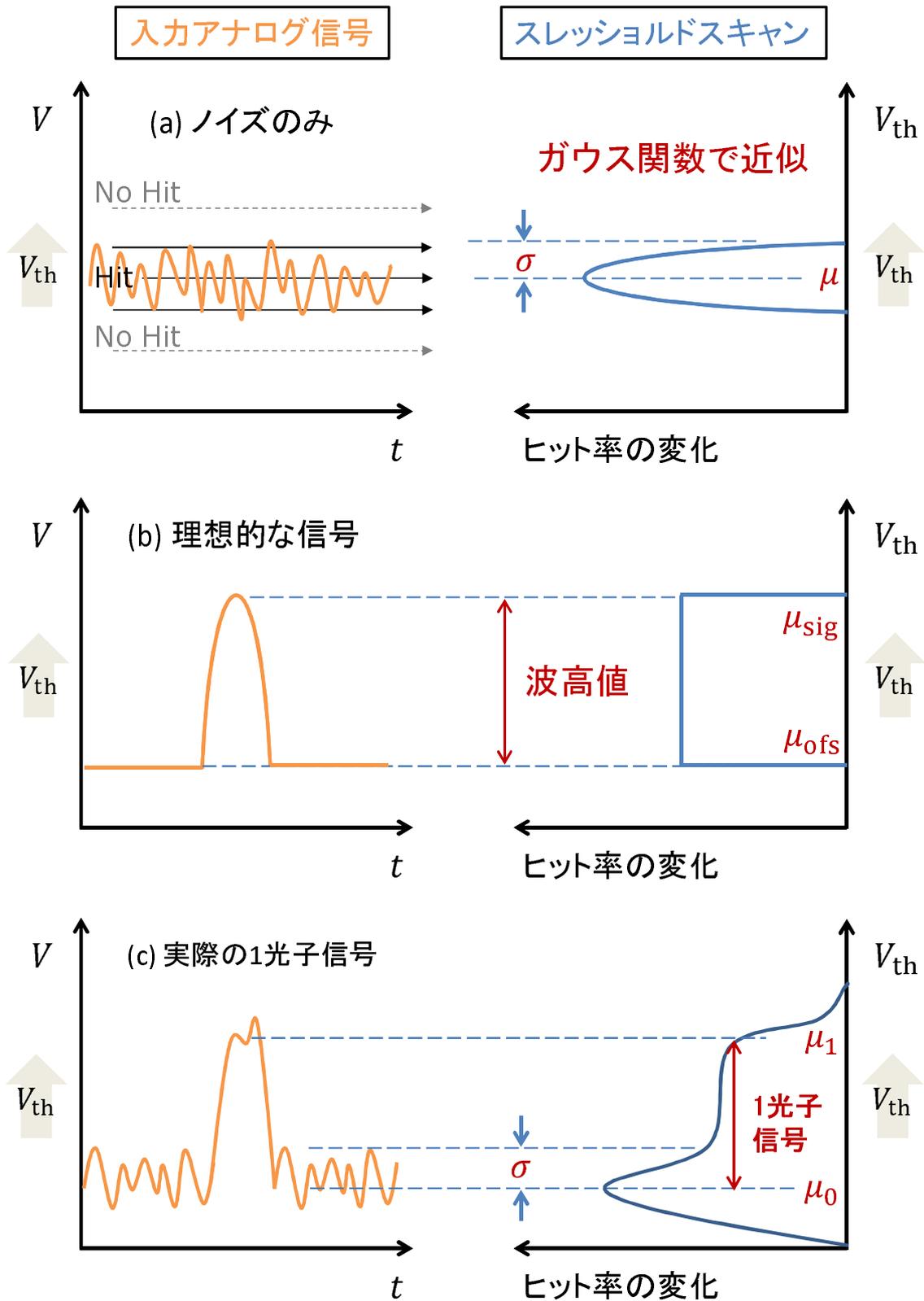


図 4.9: 比較器に入力されるアナログ信号とスレッシュホルドスキャンの結果。(a) はノイズのみを測定した結果。(b) は理想的な波形を測定したときの結果。(c) は HAPD の出力波形を測定したときの結果。

4.3 Merger board

Merger board は最大 6 台の FE board の信号をひとまとめにし、Belle II 実験共通の通信システムを用いてデータを転送する。Merger board への要求を以下にあげる。

- FE board 6 台を接続でき、限られた領域に設置可能なコンパクト基板
- FE board の全信号線を接続可能なコネクタ
- Belle II 実験で 10 年間の使用に耐えられる放射線耐性
- FPGA の発熱対策

4.3.1 Merger board の機能

Merger board に FE board から 144 チャンネルのヒットデータは固定長で送られる。A-RICH 全体を考えると $144 \times 420 = 60,480$ チャンネルで、データ量に換算すると 1 チャンネル 4 bit で送られるため 1 イベントあたり $60,480 \times 4 = 242\text{Mbit} \approx 30\text{MByte}$ になる。そこで Merger board ではデータ量削減のためにヒットチャンネル情報のみを後段の DAQ へ送る。

Merger board のデータ転送には Raw data モードと Suppressed data モードがある。Raw data モードは全てのチャンネルデータを記録する設定で主に動作テスト用に使われる。Suppressed data モードはヒットデータが 0 であればそのチャンネルデータは送らない設定で実験ではこちらを使用しデータ量を削減する。

その他にデータ送受信システム Belle2Link を経由して Readout PC へデータを送るための Belle II DAQ インターフェイスを搭載している。また、FE board のスローコントロールやトリガー・クロック信号分配などの役割を担っている。

4.3.2 Merger board の構成

Merger board の写真を図 4.10 に示す。100 mm×150 mm のコンパクトな基板上に下記のパーツ

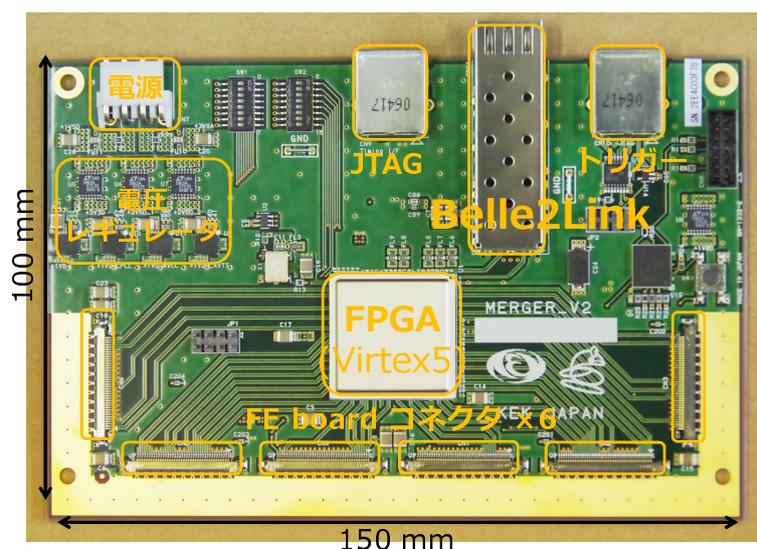


図 4.10: Merger board の仕様。FE board I/O コネクタと Belle II DAQ システム I/O を搭載。

が搭載されている。

- FPGA: 集積回路
- SFP: Belle2Link 光通信用トランシーバ
- KEL SSK コネクタ ×6: FE board 接続用コネクタ
- RJ-45: Belle II DAQ 用 LAN コネクタ
- 電圧レギュレータ: 温度センサー

データ処理を担う FPGA はユーザーが自由に書き換え可能なデジタル回路なので Belle II DAQ システムアップデートなどの仕様変更に対し高い柔軟性がある。

FPGA は Xilinx[16] 社製の Virtex5 を使用し、デバイスは XC5VLX50T、パッケージは FF665 を使用している。また、試作機には PROM (Programmable Read Only Memory) と呼ばれる読み出し専用メモリを搭載することで、FPGA にダウンロードした回路を保存できる。これにより Merger board の電源を落としても FPGA に書かれた回路は保存されるので再ダウンロードする必要はなく、動作テストが容易になる。PROM (使用デバイス: XCF16PFSG48C) は放射耐性に弱いことから実機に使用する量産版 Merger board では搭載されない。放射線 (中性子) の影響によって起こる bit 反転には、FPGA の利点を活かし DAQ システムからの定期的な再コンフィグレーションにより対処する。表 4.4 に FPGA の仕様をまとめる。

表 4.4: Virtex5 XC5VLX50T の仕様

ロジックセル	46,080
スライス	7,200
CLB フリップフロップ	28,800
最大分散 RAM (Kb)	480
ブロック RAM 総数 (Kb)	2,160
I/O バンク数	15
最大ユーザー I/O	480
コンフィグレーションメモリ (Mb)	14.1

FE board と Merger board 間のケーブルには差動信号での伝送が可能であり、基板上に 6 つのコネクタが設置できるコンパクトな形状であることが要求される。また、FE board 1 台を読み出すために HAPD からのヒットデータや ASIC のパラメータ設定、トリガー・クロック信号供給など計 38 本の信号線が必要になる。

そこで A-RICH グループはケル株式会社の SSL ケーブル/コネクタを採用した (図 (4.11))。SSL コネクタ (KEL SSL00-40L3-0500) は直径約 0.08 mm (AWG#40) 極細同軸ケーブル対応の 0.5 mm ピッチ圧接コネクタであり、40 本の信号を一括に接続できる [18]。信号線の高集積化によりコネクタ幅を約 27 mm にまで抑え、基板上の設置面積を小さくすることで、Merger board 1 台に 6 つの FE コネクタが設置可能になる。

読み出しシステムにおける Merger board の設置空間幅は約 20 mm で、そのような狭い空間では空冷が難しく、FPGA からの発熱をいかに排出するか対策が必要である。Merger board の発熱を抑えるために、入力電源数を 2 電源 (+3.8V, +1.5V) にすることでボードの消費電力を減らし、電源ケーブルも GND 含め 3 本に抑えることができる。電源用コネクタには日本圧着端子製造株式会社 (JST) の VH シリーズを使用している。さらにボードの GND と構造体フレームが接触するようプリント基板をデザインし、構造体フレームを経由して効率のよい放熱を実現した。

Belle2Link 用のコネクタ規格は DAQ グループで統一されているので Merger board に搭載する各コンポーネントもそれらに合わせる必要がある。Belle2Link 用光ファイバー接続には光受信コネクタとして SFP 光トランシーバが使用されるので、セットできるスロットを搭載している。ま



図 4.11: FE board 用ケーブルとコネクタ

た、クロック・トリガー信号用と JTAG 信号用に LAN ケーブルコネクタ規格の一つである RJ-45 が Merger board 上に 2 つ搭載されたデザインになっている。

図 4.12 は FE board と Merger board の設置イメージと読み出しボードが接続される構造体フレームのモックアップを示す。50 mm の限られた空間で FE board 420 台、Merger board 72 台、FE-Merger 接続ケーブル 420 本、ボード用電源ケーブル 1000 本以上、Belle2Link 光ファイバー 72 本を取めなければならない。

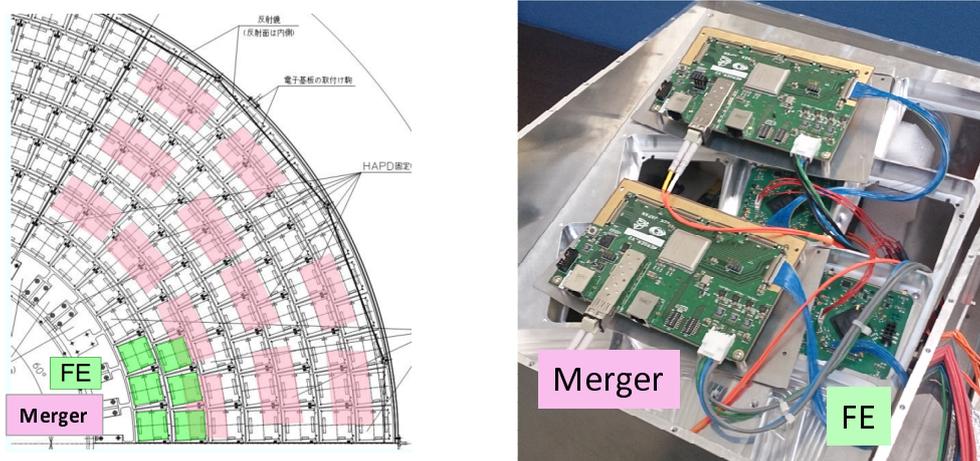


図 4.12: FE board-Merger board の設置イメージ。

4.3.3 Merger board の回路

Merger-FE 間の信号線はシングルエンド信号と差動信号を使用している。シングルエンド信号はグラウンド 0V を基準にして信号の電圧レベルが High か Low かで決まる信号をいう。一般に

シングルエンド信号ではノイズの影響や信号線の引き回しなどの問題から高速伝送は難しい。対して差動信号は一つの信号あたり 2 本使用し、信号レベルの差から情報を伝える。2 本の信号線は、+ 側 (Positive)、- 側 (Negative) として結線し電位差がプラスであれば High、マイナスであれば Low として認識される。

Merger-FE 間では差動信号規格の一つである LVDS (Low Voltage Differential Signaling) を使用して高速伝送が必要なクロックやデータ信号の送受信を行っている。また、FPGA ダウンロードに使われる JTAG 信号はシングルエンド信号規格の CMOS を使う。CMOS は電源電圧の許容範囲が広いことや、回路の消費電力が少ないなどの特徴があるため Merger board の信号線に適している。信号の電圧レベルは LVDS、CMOS 共に 2.5 V である。表 4.6 に Merger board で使用する差動信号とシングルエンド信号をそれぞれまとめる。

表 4.5: 信号リスト: 差動信号 [LVDS]

信号名 (P: + N: -)	向き: Merger 基準 (←:出力 →:入力)	説明
Clock [P/N]	←	FE システムクロック: 64MHz
Trigger [P/N]	←	FE トリガー (4bit)
Hwe [P/N]	→	FE Write Enable
Hck [P/N]	→	FE 読み出しクロック
Hdata [P/N]	→	FE データ (4bit)
mon_d [P/N]	→	デジタルモニタ

表 4.6: 信号リスト: シングルエンド信号 [CMOS]

信号 (P: + N: -)	向き: Merger 基準 (←:出力 →:入力)	説明
Reset	←	FE FPGA リセット
Error	→	FE FPGA エラー
TCK	←	JTAG (FE ロジックダウンロード)
TMS	←	JTAG (FE ロジックダウンロード)
TDI	←	JTAG (FE ロジックダウンロード)
TDO	→	JTAG (FE ロジックダウンロード)
mon_a	→	アナログモニタ
INIT_B	→	FE 接続確認
crc error	→	FE bit 反転検出
DONE	→	FE FPGA 状態確認
SCK	←	JTAG (Merger 側)
SCE	←	JTAG (Merger 側)
SDI	→	JTAG (Merger 側)
SDO	←	JTAG (Merger 側)

図 4.13 には Merger board における FPGA のブロック図を示す。データ読み出しの流れとしてはシステムクロックとトリガーが FE に入力され、144ch のヒットデータが平行に出力され

る。FE 6 台分のデータは Merger board 上の各 FE インターフェイスに入力され、Raw mode か Suppress mode を選択しデータが出力される。収集されたデータは一旦 FIFO に格納され、順次ネットワークプロセッサ、Rocket IO を通り、光ファイバーを經由して Readout PC へと送られていく。スローコントロールでは FE board 用 FPGA のダウンロードとレジスタの読み書き (SA03 のパラメータ設定など) を行うことができる。

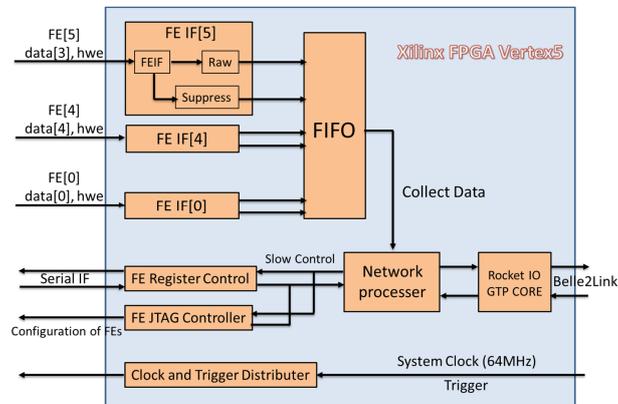


図 4.13: Merger board の FPGA ブロック図。

Merger-FE 間のデータ量について説明する。図 4.14 は Merger board のイベントパケットを表し、1 イベントのデータは Header と FE data によって構成される。Merger data の Header は 96 bit あり、イベント始まりを示す数字、FE のデータ長、トリガーカウント数などが記録される。図 4.15 には FE data のイベントパケットを示し、左が Raw mode、右が Suppressed mode になっている。Header の長さは Merger board と同じ 96 bit + FE Header 80 bit 合計 166 bit となり、そのあとにヒットデータが記録される。そのため FE board 1 台をつないだ際 Raw mode では 1 イベントあたり $166(\text{Header}) + 144 \times 4(\text{Ch Data}) = 742 \text{ bit}$ 分のデータが出力されるのに対し、Suppressed mode ではヒットがあったチャンネル情報のみが記録される。FE board 2 台目、3 台目と増やしていくと Header 上の FEE# に番号が記録され、1 台目に続けてデータが出力される。

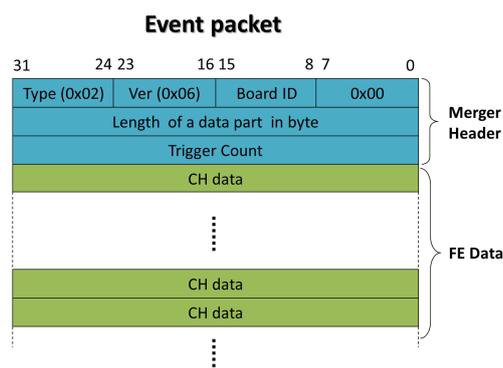


図 4.14: Merger board のイベントパケット。

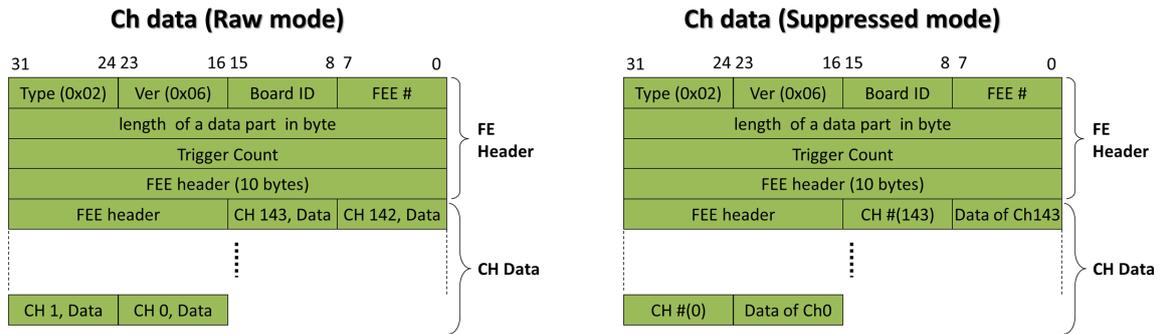


図 4.15: FE board のイベントパッケージ。左が Raw mode、右が Suppressed mode をそれぞれ示す。Suppressed mode ではヒットチャンネルのみ記録する。

4.4 読み出しボード動作試験

4.4.1 試験セットアップ

FE board と Merger board のデータ通信テストについて述べる。測定セットアップは図 4.16 のようになっている。まず、パルスジェネレータからの外部トリガーを Merger board で受け取り FE board へトリガーが送られる。トリガーが入ると FE board から 144 チャンネルのヒットデータを含んだ 1 イベントの固定長データが出力される。データは Merger board を通り、光通信を經由して Readout PC にイベントごとに記録されていく。

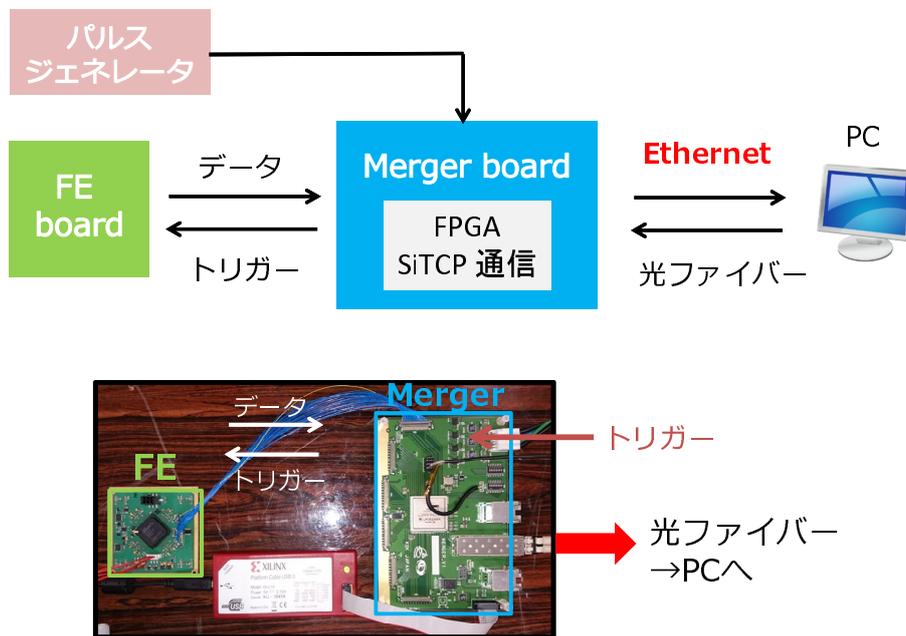


図 4.16: Merger-FE 通信テストのセットアップ。

本来 PC と Merger board 間のデータ通信は Belle2Link を用いて行われるが、今回の動作テストでは SiTCP 通信 [17] を用いる。SiTCP とは FPGA をイーサネットに接続する技術でユーザー回路と共に実装することで TCP 通信を用いたデータ転送の高速化と UDP 通信を用いたスローコントロールによるレジスタアクセスが可能となる。また、イーサネット接続なので多くの場合 OS

にデバイスドライバが実装されていて、Merger board の MAC アドレスや IP アドレスを設定するだけで通信ができる。今回の測定では光ファイバーとイーサネットケーブルを接続するために光メディアコンバーター (BUFFALO BMC-GT-M550M) を使用している。Merger board の SiTCP 通信用レジスタマップを表 4.7 に示す。

表 4.7: レジスタマップ SiTCP 版

RBCP アドレス	R/W	名前	機能
0x00-0x03	R/	SYN_DATE	合成日時
0x04	R/	REV	ファームウェアの改訂
0x05	R/W	FEE_CNT0	[7] FEE I/F データ幅 (0: 4bit, 1: 8bit) [6:5] データ転送モード { 2b'11: Raw and Suppressed data 2b'10: Raw data 2b'01: Suppressed data 2b'00: Not Used} [4:1] FEE トリガーチャンネル選択 { [4] チャンネル #3 選択 (0:不可, 1:可) [3] チャンネル #2 選択 (0:不可, 1:可) [2] チャンネル #1 選択 (0:不可, 1:可) [1] チャンネル #0 選択 (0:不可, 1:可)} [0] SCK 信号選択 (0:不可, 1:可)
0x06	R/W	FEE_CNT1	[7:6] 未使用 [5] FEE #5 選択 (0:不可, 1:可) [4] FEE #4 選択 (0:不可, 1:可) [3] FEE #3 選択 (0:不可, 1:可) [2] FEE #2 選択 (0:不可, 1:可) [1] FEE #1 選択 (0:不可, 1:可) [0] FEE #0 選択 (0:不可, 1:可)
0x07	R/W	TEST	[7] 内部テストモジュールへのトリガー信号 [6] FEE へのテストトリガー信号 (Write only) [5] FEE #5 電源オフ [4] FEE #4 電源オフ [3] FEE #3 電源オフ [2] FEE #2 電源オフ [1] FEE #1 電源オフ [0] FEE #0 電源オフ
0x08	R/W	JTAG_CNT0	[7] 内部トリガー信号選択 (0:不可, 1:可) [6] FEE リセット [5] FEE #5 JTAG 選択 (0:不可, 1:可) [4] FEE #4 JTAG 選択 (0:不可, 1:可) [3] FEE #3 JTAG 選択 (0:不可, 1:可) [2] FEE #2 JTAG 選択 (0:不可, 1:可) [1] FEE #1 JTAG 選択 (0:不可, 1:可) [0] FEE #0 JTAG 選択 (0:不可, 1:可)
0x09	R/W	JTAG_CNT1	[7:0] JTAG クロック分周器の値
0x0A	R/	FEE_DONE	[7:6] 未使用 [5] FEE #5 FPGA 状態確認 [4] FEE #4 FPGA 状態確認 [3] FEE #3 FPGA 状態確認 [2] FEE #2 FPGA 状態確認 [1] FEE #1 FPGA 状態確認 [0] FEE #0 FPGA 状態確認
0x0B	R/	FEE_INITB	[7:6] 未使用 [5] FEE #5 接続確認 [4] FEE #4 接続確認 [3] FEE #3 接続確認 [2] FEE #2 接続確認 [1] FEE #1 接続確認 [0] FEE #0 接続確認
0x0E-0F	R/	INTERNAL_TRG_DLY	トリガー遅延 [14:0] = 0x0E [6:0]+0x0F

0x10-0xFF	R/W	SYS_MON	システムモニター
0x200-0x2FF	/W	Write port of a JTAG data fifo.	JTAG データの書き込み
0x10xx_xxxx	R/W	FEE#0	FEE#0 レジスタアクセス
0x11xx_xxxx	R/W	FEE#1	FEE#1 レジスタアクセス
0x12xx_xxxx	R/W	FEE#2	FEE#2 レジスタアクセス
0x13xx_xxxx	R/W	FEE#3	FEE#3 レジスタアクセス
0x14xx_xxxx	R/W	FEE#4	FEE#4 レジスタアクセス
0x15xx_xxxx	R/W	FEE#5	FEE#5 レジスタアクセス

レジスタ読み書きなどのスローコントロールはRBCP (Remote Bus Control Protocol) という制御プロトコルを使用する。PC から UDP 通信を用いて送られた RBCP コマンドパケットは SiTCP 内で処理され、ACK (Acknowledgement:肯定応答) パケットを PC が受けると正常に処理される。Merger board FPGA 内のレジスタに設定された RBCP アドレス (4.7) にアクセスすることで FE board の各種設定 (データ転送モード、FE 接続選択、SA03 パラメータ設定など) が可能となる。

FPGA の開発には (株)Xilinx 社の FPGA 統合開発ツール ISE DESIGN SUITE を使用した。ISE を使って HDL の合成、回路シミュレーション、インプリメンテーション、FPGA へのファームウェアダウンロードを行う。PC から FPGA へのアクセスは (株)Xilinx 社プラットフォームケーブル USBII (HW-USB-II-G) により JTAG ポートを介して行い、コンフィグレーションやデバッグ作業を可能にする。

4.4.2 ハイレートテスト

各検出器の読み出しに対して Belle II DAQ システムは以下の最大トリガーレート条件を要求する。システムクロック周波数は 63.6 MHz であるため、1 クロック ~16 ns である。

- 2つのトリガー間の最小時間幅が 190 ns (~12 クロック)
- 26.4 μ s の読み出し時間で 10 イベント以上を読み出せるまたは 26.4 μ s 以内で最大 7 トリガーに対応できる¹

これらのハイレートトリガーに対処するため A-RICH の読み出しシステムでは FE board 側に複数段の FIFO を用意する。要求条件より 26.4 μ s 以内に 10 イベントを送り出すことを考慮して、FE board 1 イベントのデータを 2.64 μ s (167 クロック) 以内に送り、10 段以上の FIFO を用意する。トリガーが上記 2つの条件を満たしている限り、原理的に FIFO はあふれず、正常にデータが読み出される。

FE board の固定長データは 4 本の信号線 (差動信号なので回路では 8 本の信号線を使用) で送られる。よって条件より、クロック周波数が 63.6 MHz の場合、1 イベントの最大サイズは $166 \times 4 = 664$ bit になる。このデータサイズ内に収まるよう FE board のデータは 4 bit/ch+80 bit Header すなわち $144 \times 4 + 80 = 656$ bit/event (4 本の信号線で並列に送られるので 164 クロック) で送るようにする。FE board 6 台分のデータは Merger board へ並列に送られる。FE board データフォーマットを図 4.17 に示す。

今回、トリガーは Merger board 上の JUMPER PIN から LVTTTL 規格信号を入力した。トリガー条件は Degilent 社 Analog Discovery[19] という装置を用いて再現する。Analog Discovery は PC との USB 接続により動作し、アナログ回路万能ツールとしてオシロスコープやロジックアナ

¹SVD のバッファ読み出しにかかる時間

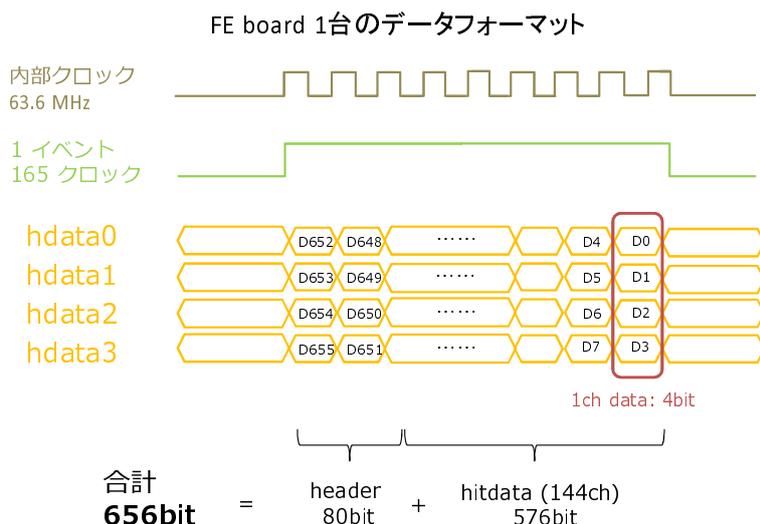


図 4.17: FE board のデータフォーマット。Header には時間情報や温度情報などを記録する。

ライザ、ファンクションジェネレータ、パターンジェネレータなど様々な機能をもつ。トリガーパターンは $20 \mu\text{s}$ 以内に 10 トリガーを $30 \mu\text{s}$ の時間幅で 1000 回繰り返すことで合計 10000 トリガーを入力した。使用した Analog Discovery モジュールと入力したトリガー波形を図 4.18 に示す。

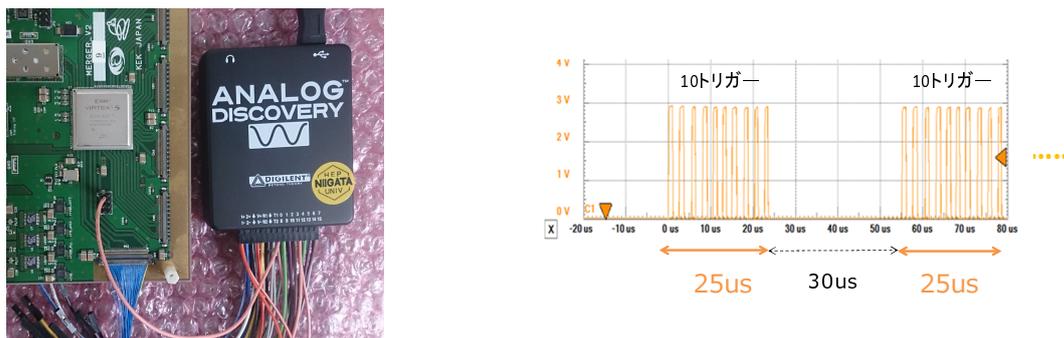


図 4.18: Analog Discovery。左の写真は Merger board に接続したときの様子で、右は実際に入力したトリガー波形。

トリガー入力に対し、FE から出力される信号タイミングとダミーデータの中身をチェックする。ここで言うダミーデータは HAPD 信号の代わりに FE board の FPGA から出力させたテストデータである。内部信号は ISE Design Suite のツールの一つである ChipScope Pro を使ってモニタリングする。ChipScope Pro はクロック、トリガー、データ信号などを解析するためのロジックアナライザ機能があり、主に FPGA のデバッグ作業に使用される。

1 イベント分の ChipScope 出力結果を図 4.19 に示す。上が WE (Write Enable) 信号で立ち上がっている間 Merger board にデータが記録される。下は FE board からの出力データでヘッダーと 144 チャンネルデータから構成される。ヘッダーにはトリガーカウンターが表示される。データ出力中 FIFO があふれるエラーが発生し、1 イベントの途中に次のイベントデータが入り込んでいる。これらのエラーの原因として FE board 側の FIFO の設定段数が不十分であり、FIFO の段数を増やしバッファを拡大することで対処した。

図 4.20 は FIFO 改善後の出力結果であり、トリガーカウント数と 144 チャンネルのダミーデー

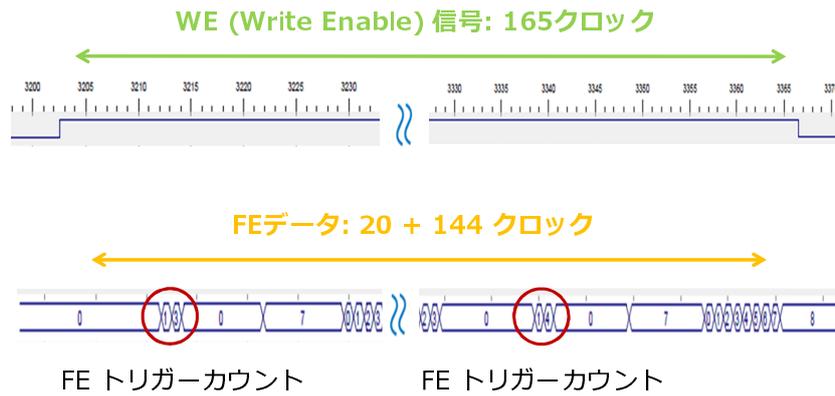


図 4.19: Chip Scope によるの出力表示。1 イベント中のデータに次のイベントデータが割り込むエラーが発生。

タが正常に読み出せていることを確認した。Belle II 実験で想定されるハイレートトリガー条件でも A-RICH の読み出しシステムが動作でき、今後は更なる長期テストが求められる。

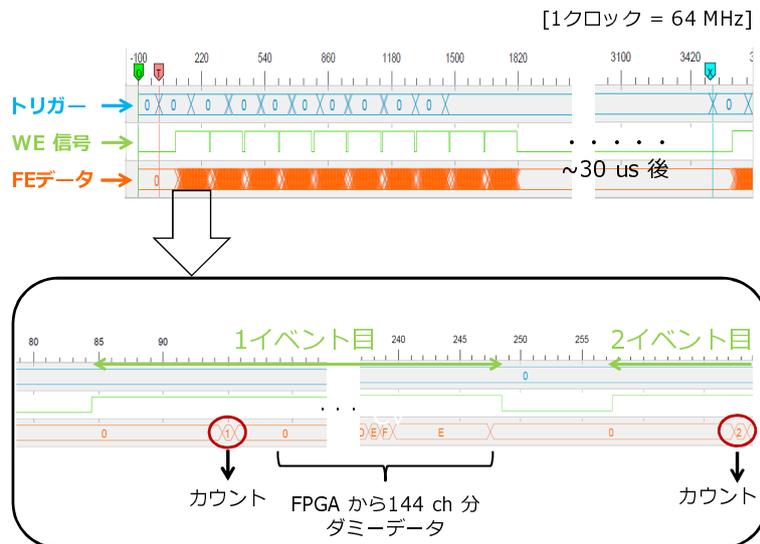


図 4.20: Belle II 実験ハイレートでのデータ読み出し。入力トリガー 10000 回に対して正常に読み出せていることを確認。

4.4.3 HAPD の信号読み出し

Merger board を用いた HAPD の信号読み出しに関して解説する。セットアップとデータ通信の概念図を図 4.21 に示す。HAPD、FE board、Merger board をそれぞれ 1 台ずつ使用しており、データの読み出しは SiTCP 通信を用いて行う。HAPD 及び読み出しボード類は暗箱内に設置され、レーザー光を用いて 1 光子レベルの光を照射する。動作電圧 (ガード、バイアス、H.V.) が印可された HAPD で光を検出・増幅後、FE board でアナログ信号処理され、Merger board へヒットデータが送られる。1 光子検出はスレッシュホールドスキャンを用いて測定した。

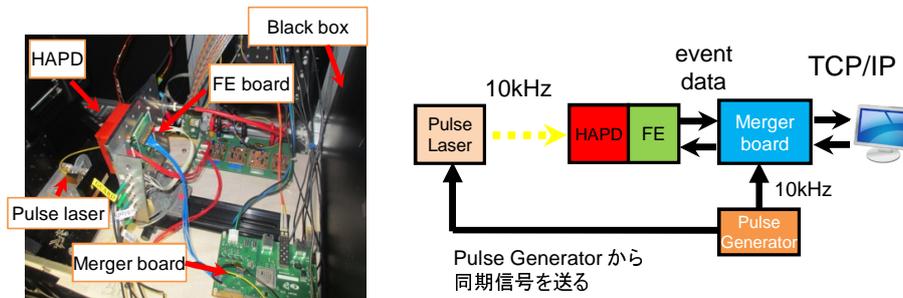


図 4.21: HAPD の信号読み出しセットアップ。

以下に Merger board の主な機能を用いた検査項目について示す。

- FE board の FPGA コンフィグレーションの変更
- レジスタアクセスによる SA03 (ASIC) のパラメータの設定
- FE board へトリガー信号の供給
- HAPD からのデータ読み出し

スレッシュホールドスキャンによりこれらの検査項目をテストした。

まず、SA03 のパラメータを変えることでオフセットの調節を行った。図 4.22 はオフセット調節前と調節後のスレッシュホールドスキャンの結果を示し、前後でオフセット設定値である 0.1 V に近づいていることがわかる。

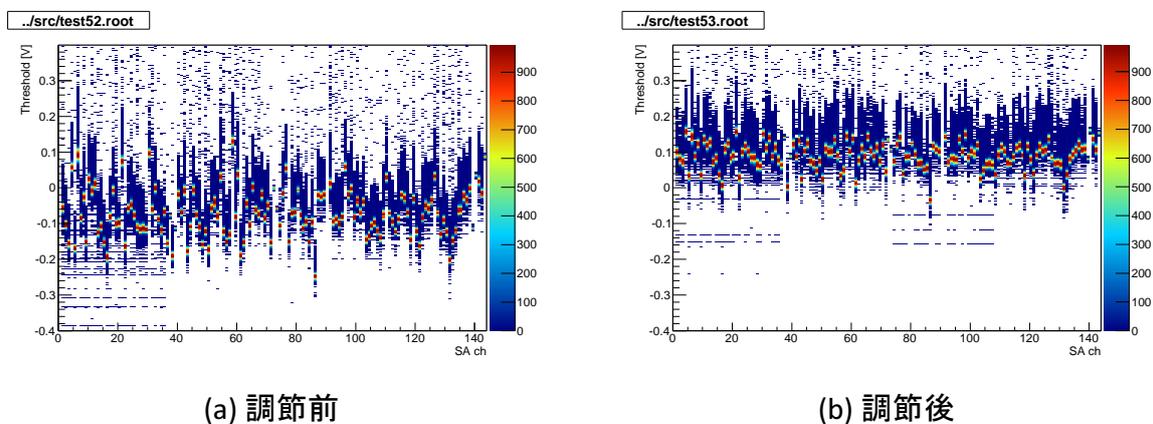


図 4.22: HAPD を動作させた状態でのスレッシュホールドスキャンの結果。(a) はオフセット調節前、(b) はオフセット調節後の全 144 チャンネルの検出イベント数の分布。

上記の状態では HAPD にレーザー光を入射する。その時のスレッシュホールドスキャンの結果を図 4.23 右に示す。今回は ch22 のみに照射しており、結果からも ch22 のみが光に反応していることがわかる。図 4.23 左はその時のイベント数とスレッシュホールド電圧を示しており、ノイズによる pedestal が見えた後、1 光子、2 光子、3 光子検出によるスロープが確認できる。

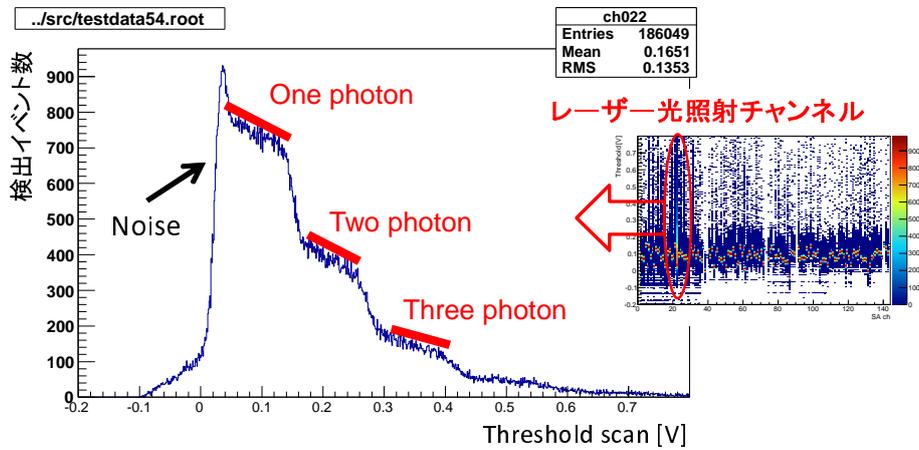


図 4.23: HAPD に光を照射した状態で測定したスレッシュホールドスキャンの結果。左図は光を照射したチャンネルの結果で横軸は閾値電圧、縦軸はヒット数に対応する。

以上の結果より FE board、Merger board を用いた HAPD のデータ読み出しが可能であり、A-RICH の読み出しシステムとしての性能を満たすことを確認した。

第5章 量産版 Merger board の性能評価

本章では生産された量産版 Merger board に搭載された全機能の動作テストについて報告する。Merger board の実装不良確認のために検査システムを開発し、実験で使用する 80 台全てに対して性能評価を行った。その検査内容と結果についてまとめる。

5.1 Merger board の開発

KEK と Open-It[20] 協力の下、Merger board の開発は行われ、プリント基板デザインや各種パーツが決定された。実機には最終版の Merger_V2 が使用される。

Merger_V2 への主な変更点としてトリガーと JTAG 用に使用する RJ-45 LAN コネクタをより小さくし、ボードの全体の高さを 17.5 mm から 13.3 mm に変更した。Merger board を固定する構造体フレームの仕様に合わせて固定用のねじ穴間隔を 90 mm から 85 mm に修正した。FE board コネクタの位置を 10 mm ボードの内側に動かし、接続ケーブルをボード内側に収める設計にした(図 5.1)。Merger_V2 と FE board を用いた動作テスト及び Belle2Link 経由のデータ読み出しは完了し、要求性能を満たすことを確認した。

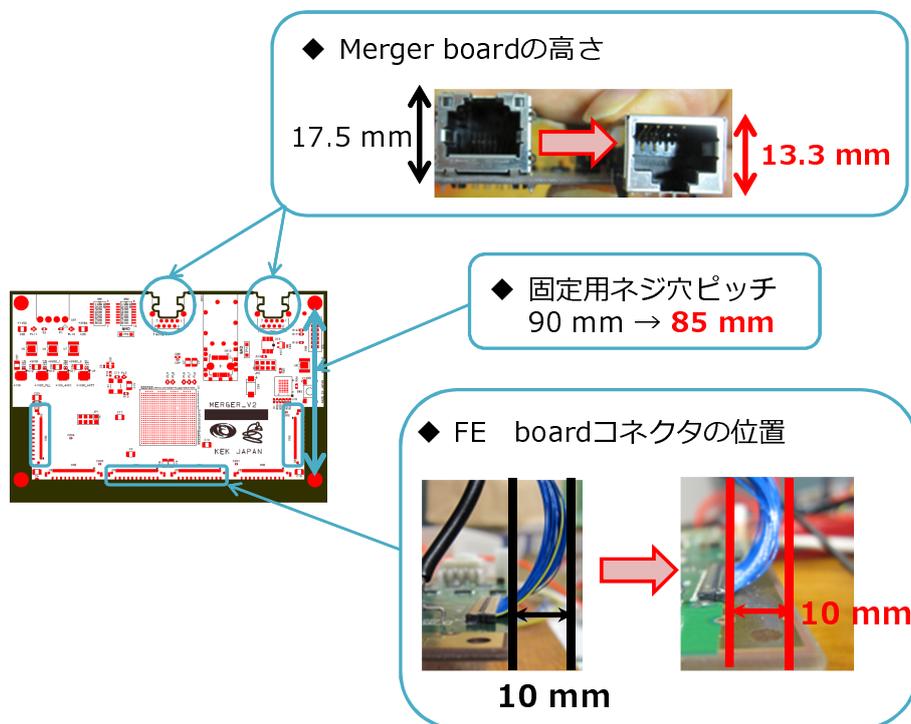


図 5.1: Merger board 最終版のデザイン変更点。

5.2 Merger board の量産

Merger board は 2015 年 7 月に 1 回目の量産として 12 台、12 月に残りの 68 台、合計 80 台が製造された。Merger board の製作はジー・エヌ・ディー (有) に依頼し全 80 台の納品が完了している。

量産された Merger board には簡易的に #1 ~ #80 の番号シールを張り番号付けをした。また、実験本番では基板上ディップスイッチにより設定が可能であり、Merger board の番号をレジスタに割り当て読み出すことができる。

Merger board はプリント基板上に FPGA や FE board コネクタ、光通信用コネクタ、RJ-45 など各種パーツが設置・配線されている。そのため製造の段階で配線のミスや実装不良の可能性が考えられ、納品後の性能チェックが必要になる。そこで Merger board 全機能の検査及び性能評価を実施した。以下に検査項目と検査結果についてまとめる。

5.2.1 検査項目

Merger board に搭載された全機能をチェックするため以下の検査を行った。

入力電源電圧: +3.8V, +1.5V

デジタルテスタを用いて各電源電圧を測定。電圧レギュレータで 3.8, 3.3, 2.5, 1.5, 1.2, 1.0 V に分圧されているのでボード上の Through Hole Via(貫通ビア) と呼ばれる場所にテスターを当て、設定電圧になっているかチェックする (図 5.2)。

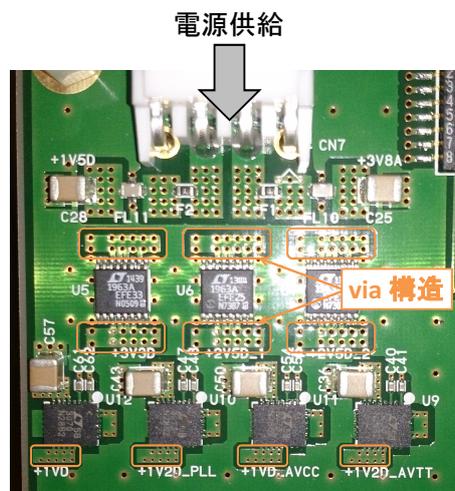


図 5.2: Merger board の via 構造。

FPGA プログラムのダウンロード

プログラムの書き込みは TCK (クロック)、TDI (データ入力)、TDO (データ出力)、TMS (状態制御) などの信号を使って基板上的 JTAG コネクタから行われる。FPGA のダウンロードは ISE デザインツールの ISE iMPACT を用いる。また、ファームウェアの書き込みが成功すると FPGA に回路が構成され、Merger board 電源の電流値が約 1 A まで上昇する。

コントロール PC からレジスタアドレスにアクセス

前の動作試験と同様に SiTCP 通信を使って PC と接続する。RBCP によるレジスタへの読み書きができるかを確認する。

FPGA、FE board コネクタの配線チェック

プリント基板上の FPGA と FE コネクタに実装不良がないかを確認する (図 5.3)。目的や検査方法の詳細を以下に述べる。



図 5.3: FPGA-FE コネクタ信号線。

FE board のコントロール

FE board の設定は Merger board レジスタの書き込みによって行う。検査項目は FE board 電源の ON/OFF、FE board の FPGA ファームウェアのダウンロード、SA03 パラメータの設定、DAQ 動作確認。

Belle2Link 経由の外部トリガー、JTAG ケーブルラインの動作確認

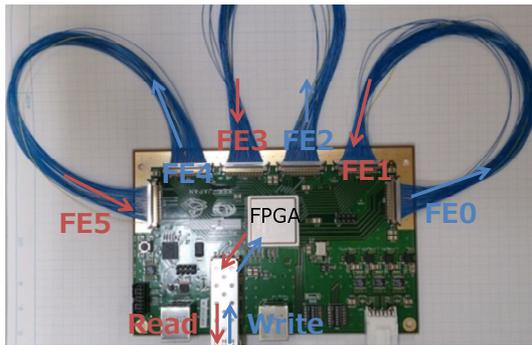
Belle2Link 用トリガー・JTAG コネクタのテスト。第 6 章で示す Belle II DAQ システムを用いて LAN ケーブルからトリガーを入力する。同様に JTAG 経由で FPGA のコンフィグレーションができるかを確認した。

5.2.2 検査システムのセットアップ

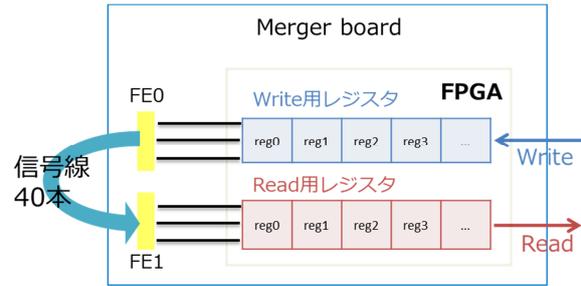
FPGA の裏面は BGA(Ball Grid Array) 構造をしていて、ハンダボールと呼ばれる端子が多数出ている。製造過程上、このハンダボールと基板の接触不良の可能性が考えられる。さらに、FE インターフェイスである SSL コネクタ端子に接続不備がないか個々について調べる必要がある。

上記の実装不良を調べるために Merger board 検査システムを開発した。セットアップは図 5.4 のようになっている。尚、Merger board と Readout PC 間は SiTCP 通信を用いている。1 台の Merger board において FE コネクタ同士を SSL ケーブルで互いに接続する。図 5.4 において FE コネクタは右側から FE#0 から FE#5 までの数字が振っており、検査の際は隣同士 FE#0 - #1, FE#2 - #3, FE#4 - #5 をそれぞれつないでいる。

次にテスト用の FPGA ファームウェアを作成し、ダウンロードを行う。今回の配線テストでは FPGA と FE コネクタが正常に実装され、プリント基板上の配線に誤りがないかを調べることを目的としている。そこでテスト用の FPGA ファームウェアでは接続するコネクタ同士の一方を Write 用、もう一方を Read 用レジスタに設定し、FE 信号線を割り当てる。図 5.4 では偶数番号が Write、奇数番号が Read にそれぞれ設定してある。



(a) セットアップ



(b) FPGA回路の流れ

図 5.4: FPGA-FE コネクタ信号線テストのセットアップ。(b) は FE#0 - #1 での FPGA の回路の流れ。FE#2, #3, #4, #5 でも同様。

FPGA 上では 1 つのレジスタが 8 bit に設定されており、FE 信号線 1 本に対し 1 bit が割り当てられるので、Write 用、Read 用それぞれで 15 個のレジスタを準備する。また、今回は信号線をテストすることが目的なのでシングルエンド信号で配線を行っている。

FE コネクタ同士を読み出し用のケーブルでつなぐことで、Merger board に問題がなければレジスタに Write 値と Read 値は一致する。もし値が一致しなかったり、ずれている場合は接触不良や信号配線の不具合などが考えられる。

レジスタの読み書きはRBCPを用いて行われ、値の書き込みだけで Merger board 1 台分の FE コネクタ配線 $40 \times 6 = 240$ 本を一度にテストできる。検査システムのセットアップ及び測定は KEK の先端計測実験棟にて行った。図 5.5 に FPGA に設定されているレジスタ周りの回路図を示す。

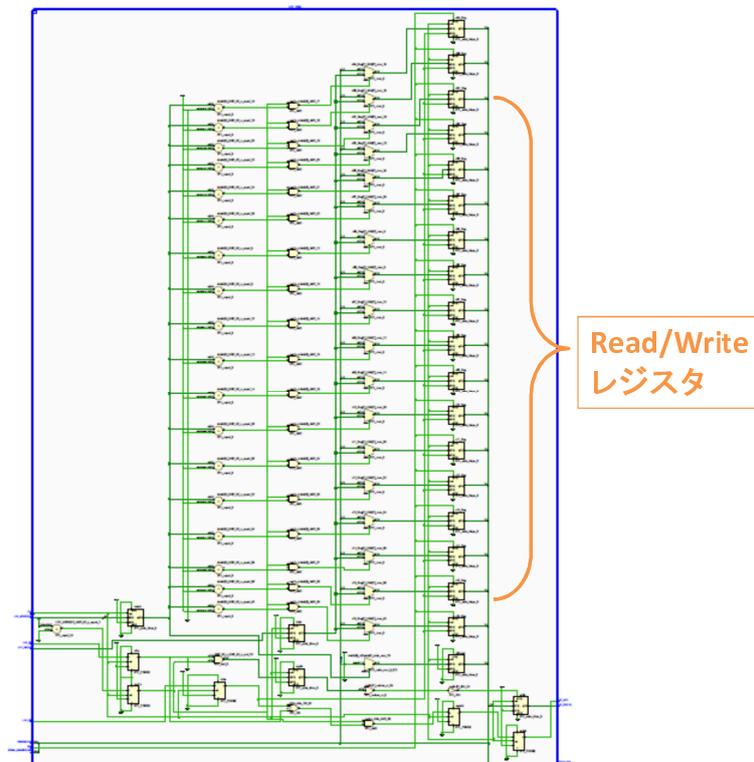


図 5.5: Merger board 試験用 FPGA の回路図。

5.2.3 検査方法

レジスタに書き込む値は16進数を使って書き込まれ、信号配線をテストするためにさまざまなテストパターンの入力が必要である。以下、16進数を表記する際は先頭に“0x”をつけるか“()₁₆”を使用する。

信号線をテストする際、1つのレジスタは8bitに設定されているので(00)₁₆～(ff)₁₆を入力すれば全信号パターンをテストできる。しかし、テスト目的はあくまで信号線チェックであり、書き込みパターンを工夫することで測定時間の短縮を行った。

基板上の配線は密集しており、配線不良や実装不良があると隣線からの影響で混線するという不具合が考えられる。16進数の中で(55)₁₆と(aa)₁₆は2進数に直すとそれぞれ(0101 0101)₂と(1010 1010)₂で表記され、1と0が交互に入力されるので隣線への影響をテストする事ができる。図5.6、図5.7に(55)₁₆をレジスタに書き込んだ際、正常に読み出せる時と読み出せない時の例を示す。(55)₁₆以外のテストパターンとして(aa)₁₆、(00)₁₆(全てに0)、(ff)₁₆(全てに1)、ランダム((00)₁₆～(ff)₁₆を順番にずらす)を読み書きすることで配線に異常がないか検査を行った。

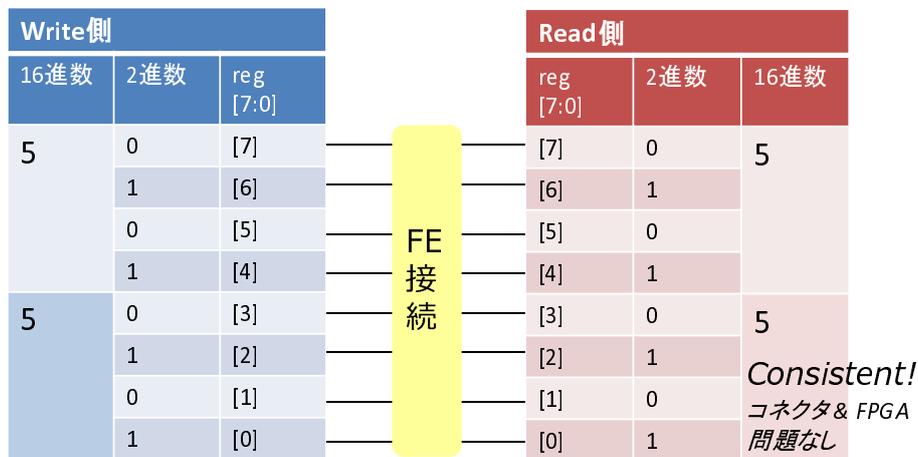


図 5.6: (55)₁₆ の書き込み。正常時。

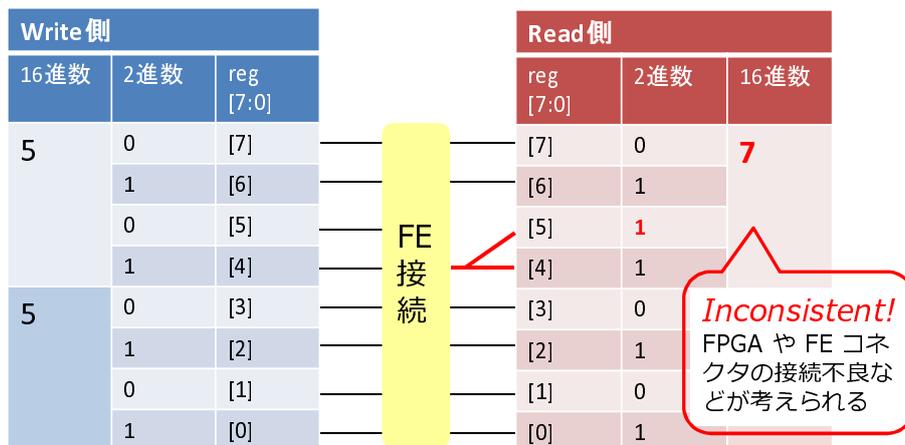


図 5.7: (55)₁₆ の書き込み。異常時。

5.2.4 測定結果まとめ

量産版 Merger board のうち 1 回目に生産された 12 台に対し上記の検査を行った。検査の結果 12 台全てで問題がないことを確認し、2 回目の量産として残りの 68 台を製作し、全 80 台のテストを行った。

電源電圧の供給に関しては電圧値・電流値ともに全 80 台で設定できていることを確認できた。図 5.8 には配線テストにおいて全レジスタに $(55)_{16}$ を書き込んだ際の実出力結果を示す。Write 側と Read 側で値が一致しており、他の書き込みパターンでも問題ないことを確認した。表 5.1 に性能検査の結果をまとめる。尚、FE board のコントロールと外部トリガー・JTAG ラインの確認は 1 回目に量産された 12 台のみ行い、すべてで機能することを確認済みである。

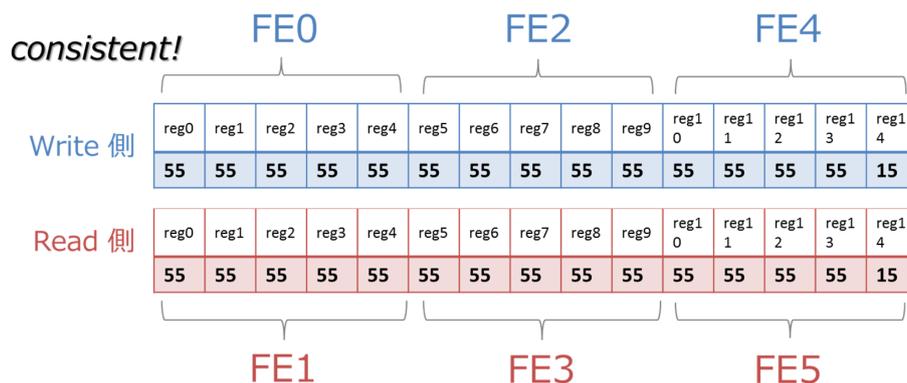


図 5.8: レジスタの実出力結果。6 つの FE コネクタ全てで問題がないことを確認。

表 5.1: Merger board 検査結果

テスト項目	合格台数 [台]
電源電圧 (3.8, 1.5 V)	80
FPGA ダウンロード	80
レジスタアクセス (SiTCP 通信)	80
FPGA-FE コネクタ配線テスト	80

以上より、A-RICH 読み出し回路の量産版 Merger board 全 80 台は仕様を満たしていることを確認した。Merger board の A-RICH 構造フレームへのインストール完了は 2016 年 3 月を予定している。

第6章 Belle II DAQを用いた読み出しシステム 開発

Belle II 実験のデータ収集は検出器からの膨大なデータをいかに処理し、不要な部分を削減できるかが重要である。また、レベル1トリガーレート最大 30 kHz で可能な限り必要なデータは取りこぼさず、読み出し時のデッドタイムを最小にする設計が要求される。それらの要求を満たすために Belle2Link を用いた共通のパイプライン読み出しシステムを採用し、信号タイミングの分配、高速データ転送、高次トリガーシステム (HLT) を備えている。

A-RICH の読み出し回路も Belle II DAQ システムを通して読み出されるため、実験でのデータ読み出しを想定し、Belle2Link 経由での Merger board、Front-end board 接続動作試験を行った。本章では Belle II DAQ における検出器からデータ読み出しまでの構成と DAQ システムの作成とそれを用いたデータ読み出しの結果をまとめる。

6.1 Belle II DAQ の構成

素粒子実験のデータ収集は主に「トリガー」と「DAQ」の2つから構成される。トリガー信号は検出器データの一部から生成され、それをもとにデータ取得が行われる。DAQ 側ではデータを常時記録し、デジタルデータをバッファに一時的に保存する。トリガー側の判定で素粒子反応っぽいとみなされた場合のみ、各検出器の情報がレコーダーに記録される。

表 6.1 に Belle と Belle II 実験での DAQ システムへの要求をまとめる。ここで言う L1 トリガーとは CDC や ECL などの情報から得られるハードウェアトリガーであり、 B 中間子などハドロンの崩壊を含む反応事象を 100% に近い効率で取得する。Belle の DAQ システムでは L1 トリガーレート約 900 Hz に対してデッドタイム率が 15% 以上になってしまいルミノシティが 40 倍になる Belle II 実験では要求性能を満たすことができない。そこで Belle II 実験では新たな DAQ システムを導入する。DAQ システム構成する Belle2Link と COPPER、タイミング分配システム、高次トリガーシステム (HLT) に関して解説する。

表 6.1: Belle II データ収集システムの要求性能

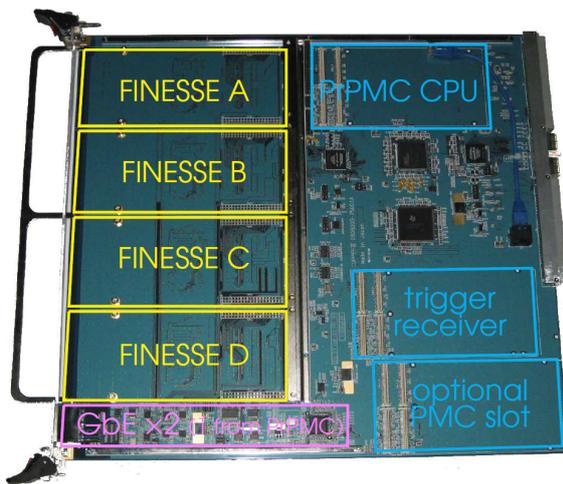
	KEKB ($\mathcal{L} = 1.4 \times 10^{34}$)	SuperKEKB ($\mathcal{L} = 8.0 \times 10^{35}$)
物理事象レート	140 Hz	8 kHz
L1 トリガーレート	500 Hz	30 kHz
イベントデータサイズ	40 kB/ev	1 MB/ev+80 kB/ev

6.1.1 Belle2Link と COPPER

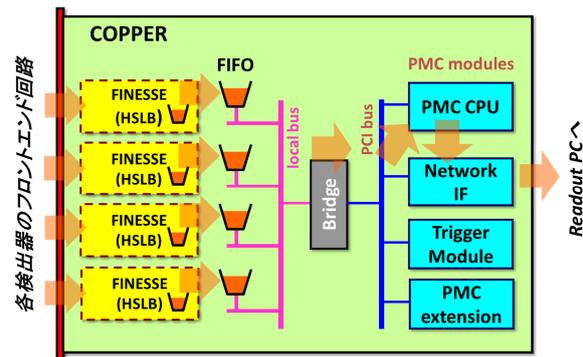
Belle II 実験では、検出器からのアナログ信号はすべて検出器ごとの近傍に設置されたフロントエンド電子回路で処理され、デジタル化されたデータは読み出しモジュールが置かれたエレキハッ

トまで送られる。このように検出器近傍でデータのデジタル化を行うことで信号伝送においてノイズに強く、信号に対して誤った処理を抑制でき、また、動作の高速化やデータの記録が簡単になる。デジタル回路の短所として必要な信号数の増加や回路規模の拡大など挙げられるが、近年の微細化技術向上のおかげで回路の集積化が容易になった。

フロントエンドから送られてきた PXD を除く各検出器のデータは、KEK で開発され、Belle 以外の実験でも使用実績のある汎用パイプライン読み出しモジュール COPPER (Common Pipelined Platform for Electronics Readout) を使用する (図 6.1)。VME9U 型モジュールで、各検出器からのデータを処理するためエレキハット内クレートに合計約 200 台の COPPER が設置予定である。



(a) COPPER



(b) COPPER 概念図

図 6.1: (a) COPPER の構造。FINESSE として HSLB、trigger receiver として TT-RX が搭載される。(b) COPPER のブロック図。

信号入力部は光信号受信回路として FINESSE (Front-end Instrumentation Entity for Sub-detector Specific Electronics) と呼ばれるドーターカードとしてモジュール化された構造になっており、用途に応じたシグナル受信カードを搭載できる。ドーターカードとは PC 中のメイン基板であるマザーボードを補助するための専用基板を指す。COPPER 上のイベントバッファには最大 4 枚の FINESSE からのデータを書き込むことが可能であり、PrPMC 規格に基づき、ドーターカードとして実装されたオンボード CPU プロセッサで処理される。検出器からのデータはギガビットイーサネット (GbE) 経由で下流の Readout PC に送られる。COPPER には 2 つの GbE ポートがあり、1 つはデータ転送用に、もう 1 つは検出器のスローコントロール用にそれぞれ使用される。

Belle 実験の DAQ では検出器情報をタイミング情報に置換する FASTBUS TDC が使用されていたが、実験の途中から COPPER への置換が行われデッドタイムの削減に成功した。現在、COPPER-III が最新バージョンであり、Belle で使用された COPPER-II に比べて FINESSE へのクロック分配やイーサネットトランシーバのギガビット化、部品の持続性などにおいて改良がなされた。Belle II 実験では両方を読み出しボードとして併用する予定であり、今回の読み出しテストには最新版の COPPER-III を使用している。

前身の Belle 実験では FINESSE に ATLAS 実験でも使用された AMT TDC chip を実装し、アナログ信号を直接受け取ることでデジタル処理していた。Belle II 実験ではフロントエンド電子回路からのデジタルデータを光ファイバーを通じて受け取るため光リンク回路を搭載した受信カードを採用する。この高速光データ受信システムを Belle2Link と呼び、中国の IHEP (Institute of High Energy Physics) と KEK 協力の下で開発された。図 6.2 に Belle2Link の概要をまとめる。

光ファイバーを接続するための受信カードは HSLB (High Speed Link Board) と呼ばれ、COP-

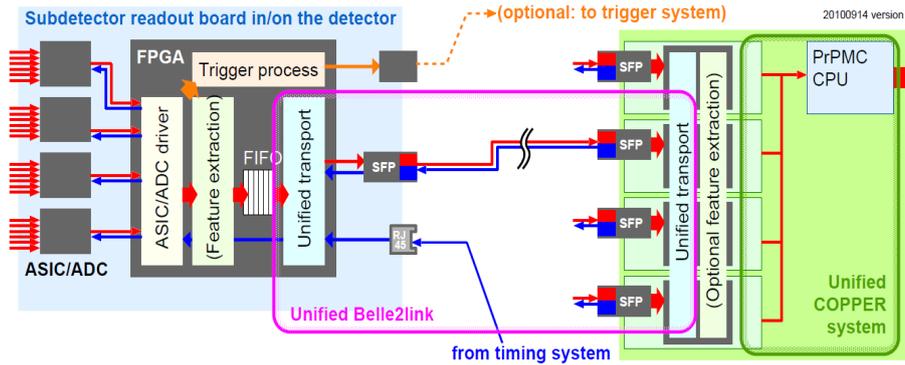


図 6.2: Belle2Link 概念図。データ受信は 20 m 離れたエレキハット内で行う。

PER に直接接続することで、FINESSE として使用される (図 6.3)。Belle2Link は各検出器フロントエンド回路からのデータを COPPER に転送する機能に加えて、フロントエンドの設定パラメータを COPPER から転送するスローコントロール機能もある。光ファイバー上の通信プロトコルは Xilinx 社の高速シリアルトランシーバーの機能を使用した高速シリアル通信 (GTP 通信) で行う。GTP 通信は SFP (Small Formfactor Pluggable) 光トランシーバーモジュールにより動作し、図 6.3 で示すような 2 本の LC コネクタマルチモード光ファイバーにより接続される。

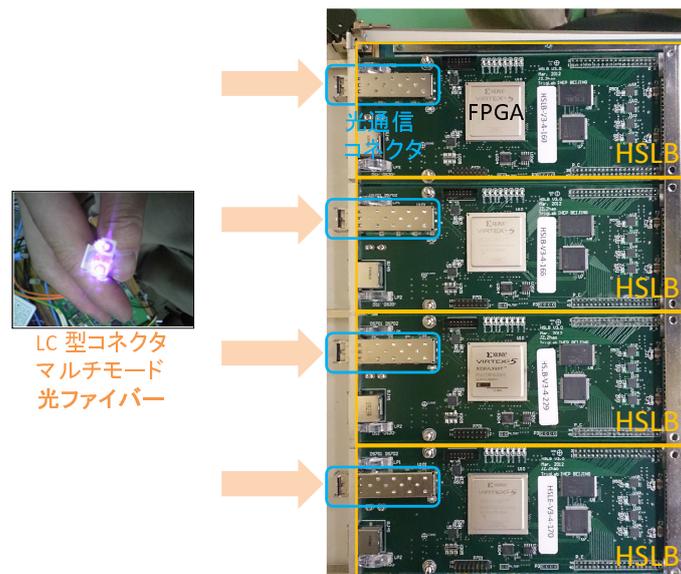


図 6.3: COPPER に装着された HSLB。最大 4 台搭載可能。

Belle2Link は SuperKEKB の RF クロックによる同期信号によって通常 2.54 Gbps で通信を行う。RF クロックは加速空洞内の高周波電場に使用される高周波である。また、データ送信ファームウェアは検出器のデータにタイミング分配システムからのトリガー情報と時間情報を加えたものになる。フロントエンド回路には各種 FPGA (Virtex-5/6, Spartan-6, Zynq) が搭載されており、DAQ グループと各検出器連携の下でファームウェアの開発が行われている。HSLB には Xilinx 社 Virtex-5 が搭載されている。データ出力時は HSLB ファームウェア上のマジックワードをヘッダに追加するなどの処理がされた後、COPPER 上のイベントバッファにデータが書き込まれ Readout PC に送られる。Belle2Link という統一されたインターフェイスを導入することで各検出器からのデータ転送システムの開発において、作業コストの低減や開発・メンテナンスの高効率化を実現

した。

6.1.2 タイミング分配システム

タイミング分配システムには、クロック、トリガー、リセットなどの信号を Belle II の各検出器のすみずみまで送ることが求められる。同期信号を分配するために同一のモジュールから光ファイバーもしくは LAN ケーブルでツリー上に接続しコントロールする。全ての信号は SuperKEKB 加速器の RF 同期信号 509MHz を 4 分周した 127 MHz に同期させ分配している。検出器へのクロック・トリガー信号や FPGA 用のコンフィグレーション信号は LAN ケーブルを使って接続され、データ信号は光ファイバーを使って COPPER など置かれたエレキハットまで送られる。このクロックはフロントエンドの読み出し基準信号や Belle2Link を動作させるために使用されるため全信号が同期している必要がある。図 6.4 にタイミング分配システムの構造を示す。

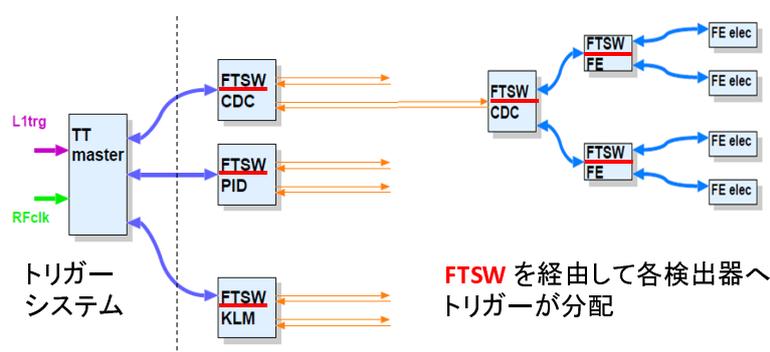


図 6.4: FTSW 概念図。

これらの要求を満たすためにタイミング分配モジュールとして FTSW (Frontend Timing SWitch) を開発した。VME6U 型モジュールで Xilinx 社 Virtex-5 を搭載し、ファームウェアを書き換えることで柔軟な対応ができる。フロントパネルにはタイミング送受信のための LAN ポート (RJ-45 コネクタ) を装備し、LAN ケーブルが接続される。1 台の FTSW でトリガー・クロック用と JTAG 用コネクタはそれぞれ 8 つ搭載され、フロントエンド回路に接続される。FTSW からの信号は COPPER 上の TT-RX と呼ばれるクロックタイミングモジュールに接続され、TT-RX 経由で 4 つの FINESSE にクロック・トリガー信号が送られる。図 6.5 は VME クレートに接続された FTSW で以下に述べる PocketDAQ システムの構成要素の一つである。

6.1.3 高次トリガー (HLT)

高次トリガー (HLT: High Level Trigger) は複数のユニットから構成され、各検出器からのデータを処理する (図 6.6)。HLT の役割としてイベント再構成の結果から、観測対象の物理過程であるハドロンやタウレプトンの崩壊過程ごとの選別を行い、データ記録の際にバックグラウンドを落とす。また、イベント再構成から情報量の多い PXD において荷電粒子が通過した近辺のピクセルデータのみを取得し、データ量を削減する。HLT によるソフトウェアトリガーによって処理することでイベントレートを 1/3 から 1/6 まで削減することができる。

PXD からのデータは ONSEN (ONline SElection Nodes) と呼ばれる FPGA を用いた独自の読み出しシステムメモリに蓄えられ、HLT の情報と合わせてデータ処理がされた後、ストレージに送られる。

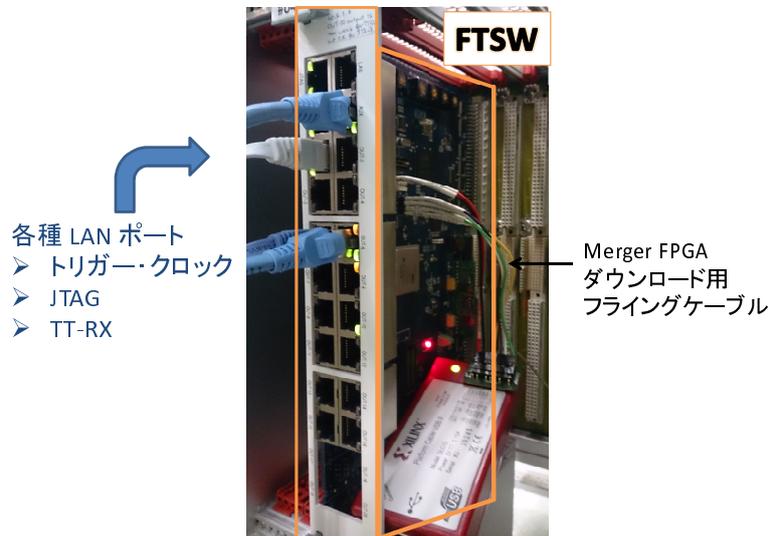


図 6.5: VME クレートに接続された FTSW。ボード中央の FPGA により信号処理が行われる。

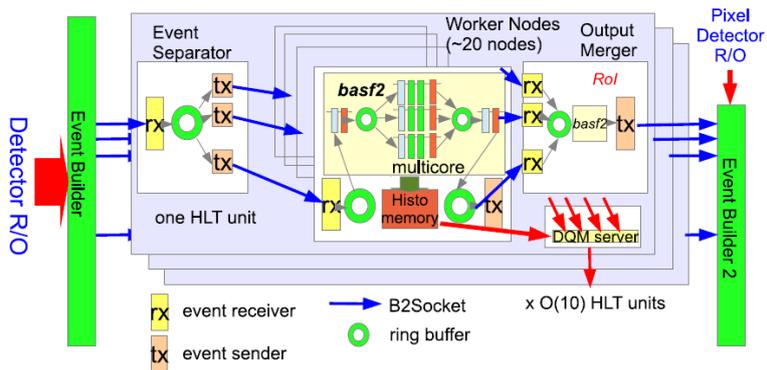


図 6.6: 高次トリガーシステムの概念図。

6.2 Belle II DAQ による A-RICH 読み出しシステムの構築

6.2.1 PocketDAQ システムの立ち上げ

PocketDAQ は Readout PC 1 台と COPPER, FTSW がインストールされている 9U クレータ 1 台で構成され、基本的に Belle II DAQ の上流部分である COPPER からデータ読み出しまでを再現したシステムである。Belle II DAQ と全く同じデータ読み出しソフトウェアが COPPER と Readout PC で動作するため、もし PocketDAQ でフロントエンド電子回路、A-RICH の場合は Merger board からデータを読み出せれば、そのまま Belle II DAQ においてデータ収集が可能である。

図 6.7 は実際に組み上げた PocketDAQ の写真であり、COPPER、FTSW がそれぞれ 1 台ずつと Readout PC から構成される。COPPER CPU のコントロールはネットワークブートで行われ、Readout PC から PXE (Preboot eXecution Environment) 規格によりイーサネット経由で接続されている。PocketDAQ のセットアップは KEK つくば実験棟 B4 の A-RICH クリーンルーム内にて行い、動作確認テストなどの作業も行っている。PocketDAQ のセットアップとして行ったことを以下に挙げる。

Merger board は COPPER 上の HSLB 光受信コネクタに接続され、PocketDAQ との通信確認に成功した。Merger board の FPGA ファームウェアダウンロードは FTSW から JTAG 用 LAN ケーブルを経由して行われる。今回のセットアップでは FTSW のボード上に JTAG ケーブル用フライングワイヤピンが存在し、Xilinx 社 USB ケーブルのフライングワイヤアダプタを利用しダウンロードを行う。

PocketDAQ セットアップ

1. COPPER 用 Boot Server の準備
2. COPPER CPU ドライバーのインストール
3. FTSW 動作用 FPGA ファームウェアのダウンロード
4. TT-RX ドライバーのインストールと動作用 FPGA ファームウェアのダウンロード
5. HSLB 動作用 FPGA ファームウェアのダウンロード
6. COPPER 上の FIFO からデータ読み出し
 - HSLB からダミーデータを生成し読み出しテストを行う。

6.3 DAQ の開発

PocketDAQ を用いた Merger board、FE board のスローコントロール、DAQ システムの開発を行った。以下に詳細をまとめる。

6.3.1 FE board のスローコントロール

PocketDAQ を用いたスローコントロールについて説明する。基本的には前述した SiTCP 通信の時と同様で、各レジスタマップに設定されたアドレスに値を読み書きすることで設定や動作を行っている。表 6.2 は Belle2Link 用 Merger board の FPGA レジスタマップである。

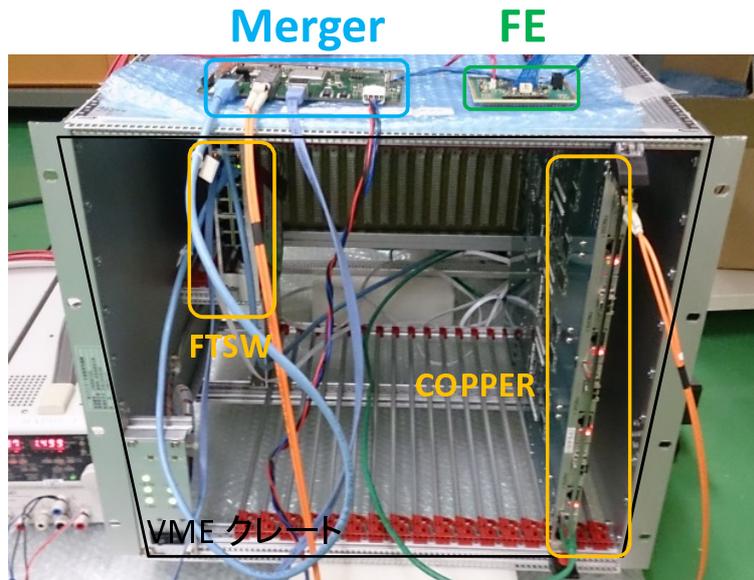


図 6.7: PocketDAQ システム。KEK つくば実験棟 B4 にてセットアップ。

表 6.2: Belle2Link 用 Merger board レジスタマップ

RBCP アドレス	R/W	名前	機能
0x0010	R/	SYN_DATE	[31:0] 合成日時
	R/	REV	[31:24] ファームウェアの改訂
0x0011	R/W	FEE_CNT0	[23] FEE I/F データ幅 (0: 4bit, 1: 8bit) [22:21] データ転送モード { 2b'11: Raw and Suppressed data 2b'10: Raw data 2b'01: Suppressed data 2b'00: Not Used} [20:18] 未使用 [17] SCK 信号選択 (0:不可, 1:可) [16] FEE リセット (書き込み専用)
	R/W	FEE_CNT1	[15:14] 未使用 [13] FEE #5 選択 (0:不可, 1:可) [12] FEE #4 選択 (0:不可, 1:可) [11] FEE #3 選択 (0:不可, 1:可) [10] FEE #2 選択 (0:不可, 1:可) [9] FEE #1 選択 (0:不可, 1:可) [8] FEE #0 選択 (0:不可, 1:可)
	/W	TEST	[7] 内部モジュールへのテストトリガー信号 [6] FEEs へのテストトリガー信号 (書き込み専用) [5] FE6 台のダミーデータテスト [4:1] 未使用 [0] FE FIFO リセット
0x0012	R/W	JTAG_CNT0	[31:30] 未使用 [29] FEE #5 JTAG 選択 (0:不可, 1:可) [28] FEE #4 JTAG 選択 (0:不可, 1:可) [27] FEE #3 JTAG 選択 (0:不可, 1:可) [26] FEE #2 JTAG 選択 (0:不可, 1:可) [25] FEE #1 JTAG 選択 (0:不可, 1:可) [24] FEE #0 JTAG 選択 (0:不可, 1:可)
	R/W	JTAG_CNT0	[23:16] JTAG クロック分周器の値
	R/	FEE_DONE	[15:14] 未使用 [13] FEE #5 FPGA 状態確認 [12] FEE #4 FPGA 状態確認 [11] FEE #3 FPGA 状態確認 [10] FEE #2 FPGA 状態確認

			[9] FEE #1 FPGA 状態確認 [8] FEE #0 FPGA 状態確認
	R/	FEE.INITB	[7:6] 未使用 [5] FEE #5 接続確認 [4] FEE #4 接続確認 [3] FEE #3 接続確認 [2] FEE #2 接続確認 [1] FEE #1 接続確認 [0] FEE #0 接続確認
0x0013	R/W	FEE.PWR	[31:30] 未使用 [29] FEE #5 電源オフ [28] FEE #4 電源オフ [27] FEE #3 電源オフ [26] FEE #2 電源オフ [25] FEE #1 電源オフ [24] FEE #0 電源オフ
	R/W	FEE_TRG	[23:20] 未使用 [19:16] FEE トリガーチャンネル選択 { [19] チャンネル #3 許可選択 (0:不可, 1:可) [18] チャンネル #2 選択 (0:不可, 1:可) [17] チャンネル #1 選択 (0:不可, 1:可) [16] チャンネル #0 選択 (0:不可, 1:可)}
	R/W	INT_TRG	[15:9] 未使用 [8] 内部トリガー信号選択 (0:不可, 1:可)
	R/W	Merger_TEST	[7:1] 未使用 [0] Merger テストモジュール選択 (0:不可, 1:可)
0x100	R/W	SYS_MON	システムモニター [31] 未使用 [30:24] 読み書きアドレス [23:17] 未使用 [16] 読み書き選択 (0:読み, 1:書き) [15:0] 読み/書きデータ
0x03XX (XX = FE アドレス)	R/W	FEE.SIO	[31:24] FE アドレス (読み専用) [23:20] 未使用 [19:16] FEE 選択 { 4'b0101: FEE #5 選択 4'b0100: FEE #4 選択 4'b0011: FEE #3 選択 4'b0010: FEE #2 選択 4'b0001: FEE #1 選択 4'b0000: FEE #0 選択 } [15:13] 未使用 [12] Busy 信号 (読み専用) [11:9] 未使用 [8] 読み書き選択スイッチ (0:読み, 1:書き) [7:0] FEE 読み書きデータ

レジスタへのアクセスやデータ読み出しは HSLB のソフトウェアツール “hsprogs” を使用し、Merger board のコントロールを行っている。“hsprogs” は DAQ グループによって開発され、HSLB 経由でレジスタ読み書きやフロントエンド回路からのデータ読み出しができる。後述する SA03 パラメータ設定やスレッシュホールドスキャンなどは基本的にこれらのソフトウェアツールを使用している。Merger board の設定をした後、FE board 1 台をつないでの動作確認を行う。

Merge board、FE board は実機に使用される量産版を使用し、すべてのコントロールは Merger 経由で行われる。主に FE board の FPGA ダウンロード、各パラメータの設定などを行い、具体的な内容を以下に述べる。

FPGA ダウンロード

一般的に FPGA のプログラムは bit ファイル形式で生成され、ISE iMPACT などのツールを使ってファームウェアのダウンロードを行う。一方、Merger board から FE board の FPGA をダウンロードする場合は bit ファイルから ASCII 形式の svf ファイルに変換する必要がある。さらに svf ファイルからバイナリ形式に変換後、“hsprogs”を使ってファームウェアのダウンロードを行う。

Belle2Link 経由での FE board ファームウェア書き込みは 1 分以内で行うことが可能である。ダウンロードは Merger から FE 6 台並列に行われるため、実験中でも定期的な FPGA コンフィグレーションが十分可能とある。

パラメータの設定

FE board パラメータのアドレスマップは表 4.3 と同じであり、FPGA では **HDCYCLE** や **TRIGEN**、ASIC (SA03) では閾値電圧や増幅率、オフセット調節などの設定を行う。実際のアクセスにはアドレスバス 16 bit、データバス 32 bit で定義された図 6.2 の Merger アドレスマップに従う。FE レジスタ設定はアドレス “0x03XX” への読み書きにより行い、“XX”にはコントロールする FE board のアドレスを設定していく。データバスの設定は [19:16] bit でアクセスしたい FE board を選択、[8] bit でレジスタの Read/Write モードの切り替え、[7:0] bit に Write モードの際書き込む値をそれぞれ設定する。

SA03 (ASIC) のパラメータは表 4.3 においてアドレス 0x11~0x27 を使って設定していく。まず、**SEL** で設定したい Chip (Global Parameters) または Channel (Channel Parameters) を選択する。**WPARAM** に設定するパラメータを FPGA 内に書き込み、**PRMSET** で FPGA から ASIC に値を送ることでパラメータを設定する。**NDRO** では非破壊読み出し (Non-destructive read) を設定している。

旧バージョンの FE board SA02 ではパラメータ確認のために再度パラメータに相当するデータ列を書き込まなければならず、2 度のアクセスが必要だった。この方法ではパラメータ設定時間にデッドタイムが生じ、実験では測定不安定さにつながる可能性がある。そこで最新版の SA03 からは新たに非破壊読み出し方式を導入した。この方式では「読み出し用」と「データ保存用」2 つのレジスタを用意し、パラメータを同時に書き込む。読み出しの際は保存用のレジスタから読み出し用のレジスタにコピーすることで余計な書き込み動作をなくすることができる。

最終的にパラメータの読み出しは **RPARAM** にアクセスし、SA03 に実際に設定された値を読み返す。

FE board のレジスタや JTAG コントロールは Belle II DAQ 制御システム (スローコントロール) によって行われるので SA03 パラメータ設定もその仕様に合わせている必要がある。そこで DAQ グループと協力し、A-RICH 用スローコントロールシステムを開発した。作成したパラメータファイルから 1 台の FE に対し SA03 の Global Parameters と Channel Parameters の設定に成功した。図 6.8 に Belle II DAQ データベース用に作成したパラメータファイルを示す。

6.3.2 データ読み出し・スレッシュホールドスキャン

Belle II DAQ 経由では Merger board、FE board からのデータは図 4.14 のフォーマットに COPPER の Header、Trailer が追加された形式になっている。図 6.9 に 1 イベントの出力データを示す。

これらを踏まえ、前述したスレッシュホールドスキャンを用いてオフセット調節を行った。データ読み出し時のトリガー信号はセットアップの都合上 Merger board の FPGA から約 10 kHz の内部トリガーを発生させている。測定の流れとしては基準となる SA03 のパラメータファイル (図 6.8) を

```

## global parameter for chip 0
chip[0].param_global : 0x1ffff
chip[0].phasesmps : 0x3
chip[0].gain : 0x3
chip[0].shapingtime : 0x0
chip[0].comparator : 0
chip[0].vrdrive : 0xff
chip[0].monitor : 2
chip[0].load_global : 1

```

(a) グローバルパラメータ

```

# channel parameter for chip0
chip[0].ch[0].param_ch : 0xc000
chip[0].ch[0].decaytime : 0
chip[0].ch[0].offset : 0
chip[0].ch[0].fineadj_unipol : 0
chip[0].ch[0].fineadj_diff : 0x8
chip[0].ch[0].tpenb : 0
chip[0].ch[0].kill : 0
chip[0].ch[0].load_ch : 1

```

(b) チャンネルパラメータ

図 6.8: Belle II DAQ 用パラメータファイル。各パラメータの値は初期設定値。

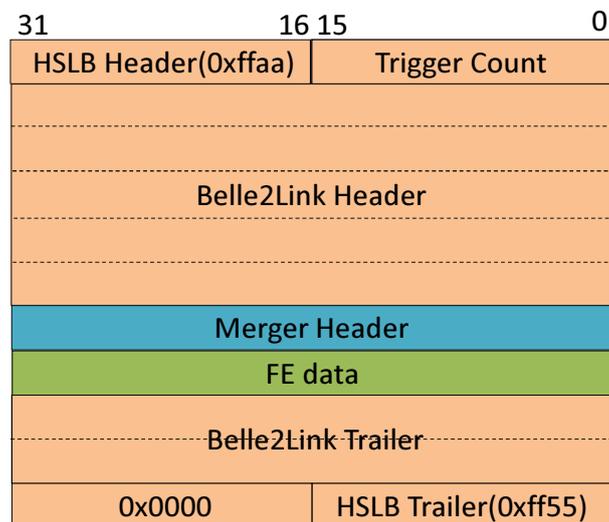


図 6.9: Belle2Link 経由の 1 イベントデータフォーマット。

ダウンロードし、スレッシュホールドスキャンを行う。その結果が図 6.10 (a) であり、チャンネル毎にオフセット、ノイズ量が異なることがわかる。

スキャンの結果より、各チャンネルを Gauss 関数でフィットし、得られたフィットパラメータ (σ , μ , Entry 数) からオフセットの粗調節・微調節用のパラメータを計算する。調節後のパラメータを再び SA03 にダウンロードし、スレッシュホールドスキャンを行った結果が図 6.10 (b) である。今回の調節ではオフセットが 0V になるように設定した。図 6.10 (b) の結果は読み出し回路のみの出力値であるが、測定環境や HAPD を実際に装着した時はノイズ量は変化する。図 6.11 に HAPD を実際に接続した際のオフセット調節結果を示す。以上より、FE board 1 台を接続した際の Belle II DAQ を用いた A-RICH 用スローコントロール、DAQ システムの開発ができた。

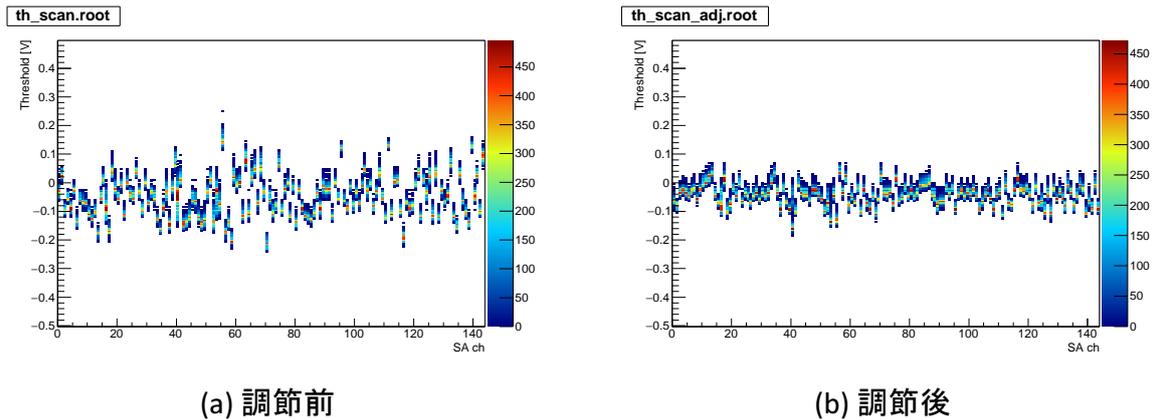


図 6.10: Belle2Link 経由でのスレッシュホールドスキャンの結果で横軸は SA03 チャンネル、縦軸は閾値電圧に対応。(a) はオフセット調節前、(b) はオフセット調節後の全チャンネル分布。

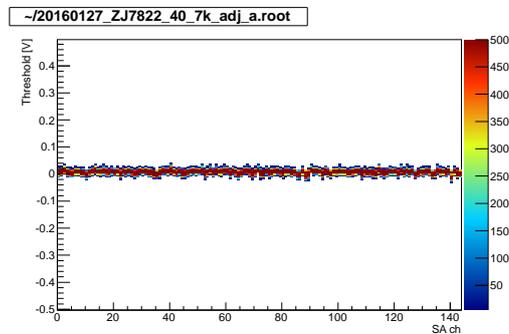


図 6.11: HAPD を接続した際のスレッシュホールドスキャンの結果。

6.4 複数 FE board のデータ読み出し

6.4.1 スローコントロール

次に EF board を 2 台接続したときのデータ読み出しについて述べる。FE board レジスタアクセスは図 6.2 のアドレス “0x03XX” により設定し、データ [19:16] bit の値によって FE board を選択する。今回の測定では 1 台目を FEE#0、2 台目を FEE#1 として使用する。各 FPGA のダウンロードおよび SA03 のパラメータ設定は問題なくできることを確認した。

6.4.2 データ出力タイミングのエラー

Merger board に FE board を 2 台つないだ時のデータ出力は前述の通り図 4.14 FEE#0 のデータ後に FEE#1 のデータ (164 クロック) が出力される。図 6.12 に 2 台つないだ時の 1 イベント分の出力データを示す。本来はトリガー 1 回に対し、図 6.12 のような固定長のデータが出力されるはずだが、データ読み出しを繰り返していると (約 500 トリガー)、フォーマットに合わないデータが出力されるエラーが生じた。図 6.13 にエラーデータ時の出力結果を示す。データの中身を確認すると通常は FEE#0 の Header が出力される場所に FEE#1 の Header が出力されている。以降 FEE#1 のデータが開始する場所から次のイベントにあたる Merger board の Header が出力され、データ出力のタイミングに何らかの誤りがあると考えられる。

```
wait for data cprfd : 3
Read data: 444 : LEF_FF = 1
00000000:7fff0008 0000090f 00000000 00000000 00000000 00000000 fffffafa 00000066 0000005f
00000010:00000000 00000000 00000000 00000000 ffaaa11a ffffffff ffffffff ffffffff2 00000000 40ed9df0 02060000
00000020:0000014c 012a7743 02060000 0000009a 005d818a 00000003 8a880000 00000000 00000000 00000000
00000030:00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
00000040:00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
00000050:00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
00000060:00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
00000070:00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
00000080:00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
00000090:00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
00000100:00000000 00000000 00000000 00000000 00000000 00000000 ffffffff fffa10a ff550000 ffff5f5 c9b5e413
00000110:7fff0009 ffff5f5 bd10002c 7fff0009 00000000 00000000 00000000 00000000 00000000 00000000

Bit 319 256 255 192 191 128 127 64 63 0
```

図 6.12: FE board 2 台を接続した際のデータ読み出し。2 台分のデータが正しく読み出されている。

```
wait for data cprfd : 3
Read data: 456 : LEF_FF = 1
00000000:7fff0008 0000090e 00000000 00000000 00000000 00000000 fffffafa 00000069 00000062
00000010:00000000 00000000 00000000 00000000 ffaaa119 ffffffff ffffffff ffffffff2 00000000 40eb4c80 02060000
00000020:000000a6 012a7741 02060001 0000009a 005d82bf 00000003 8a870000 00000000 00000000 00000000
00000030:00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
00000040:00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
00000050:00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
00000060:00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
00000070:00038a87 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
00000080:00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
00000090:00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
00000100:00000000 00000000 00000000 00000000 00000000 00000000 ffffffff ffff958a
00000110:ff550000 ffff5f5 bd10002c 7fff0009 00000000 00000000 00000000 00000000 00000000 00000000

Bit 319 256 255 192 191 128 127 64 63 0
```

図 6.13: データ読み出し中にフォーマットが変わるエラー。

出力タイミングエラーの調査

そこで ISE ツールのロジックアナライザ ChipScope を用いて Merger board、FE board の信号出力タイミングの確認を行った。その結果データを読み出している間に FEE#0 と FEE#1 のデータ出力タイミングに時間差があることがわかった。図 6.14 はその時の出力結果で、本来 FE データの出力は同時になるはずが最大 16 クロック (~128 ns) の差が生じていた。

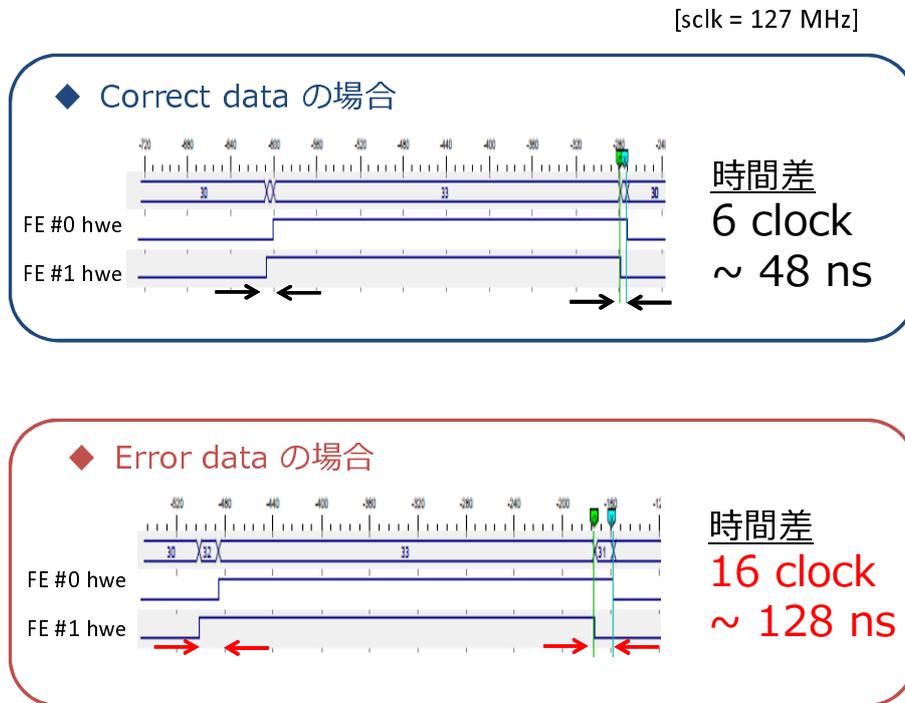


図 6.14: FE board からのデータ出力タイミング (Write Enable 信号)。上図がデータ読み出し正常時、下図が異常時。

これらのエラーの原因として出力タイミングの両義性が考えられる。FE board からのヒットデータは 1 チャンネル当たり 4 bit (4 クロック) 分でヒット判断が行われる。ここで言うクロックはパラメータやデータが保持されるシフトレジスタのクロックであり、実際に読み書きされる値 0 か 1 が入る。さらにヒットデータ読み出し時の 1 クロックは SA03 パラメータにより調節が可能であり、システムクロック × **HDCYCLE** (32 段階) で設定される。1 クロックを読み出す時間 $T = \text{システムクロック} \times \text{HDCYCLE}$ とする。

トリガーが入った時間を $t = 0$ とすると、4 bit 読み出しデータの 1 bit 目は $t = 0$ から $t = T$ の間に読み出され、ヒットがあったか (0 か 1) を判断する。同様に 2 bit 目は $t = T$ から $t = 2T$ の間でヒットがあったか、3 bit 目 ($t = 2T$ から $t = 3T$)、4 bit 目 ($t = 3T$ から $t = 4T$) と判断し、データが FE board から Merger board へ送られるのは 4 bit 目の判断が終わった後になる。すなわちトリガーが入ってから $t = 4T$ 後に 1 イベントのデータ送信が完了する。¹

今、データ出力タイミングがずれる原因として SA03 パラメータの設定後、FEE#0 と FEE#1 のシフトレジスタの基準が合っておらず 2 台の間に時間差が生じると考えられる。そこで新たに FE board の FPGA 内にタイミングを同期させるための信号 FEE_RESET を定義する。RESET 信号はすべての FE board に同時に送られ、シフトレジスタに使用するカウンタをリセットする。

¹実際にトリガーがかかってデータが送り出される時間はバッファにデータが入る時間や TRGDELAYなどを考慮する必要がある。

RESET 信号を入れた時の出力結果を図 6.15 に示す。この結果から出力タイミングを同期できていることを確認した。また、FE board 毎にトリガーを受け付けるかどうか選択 (TRIGEN) をしていたが Merger board のみでトリガー制御を行うように改良した。これらの改善によってデータ出力時のタイミングエラーを解消できた。

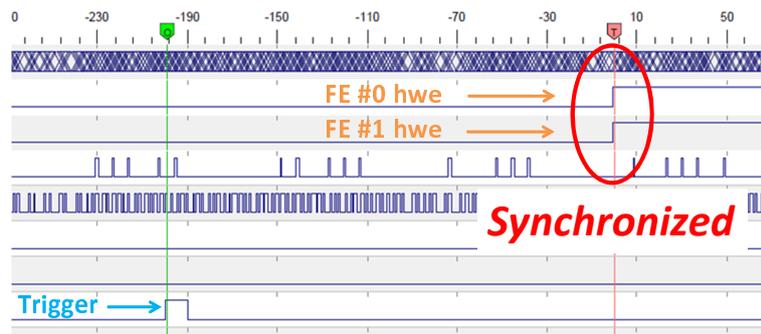


図 6.15: RESET 信号入力後のデータ出力タイミングの結果。

6.4.3 スレッシュホールドスキャン結果

以上の修正を加えた後での FE board 2 台分のスレッシュホールドスキャンの結果を示す。図 6.16 は 2 台分をまとめて出力した結果であり、オフセット調節ができていることを確認した。図 6.17 は

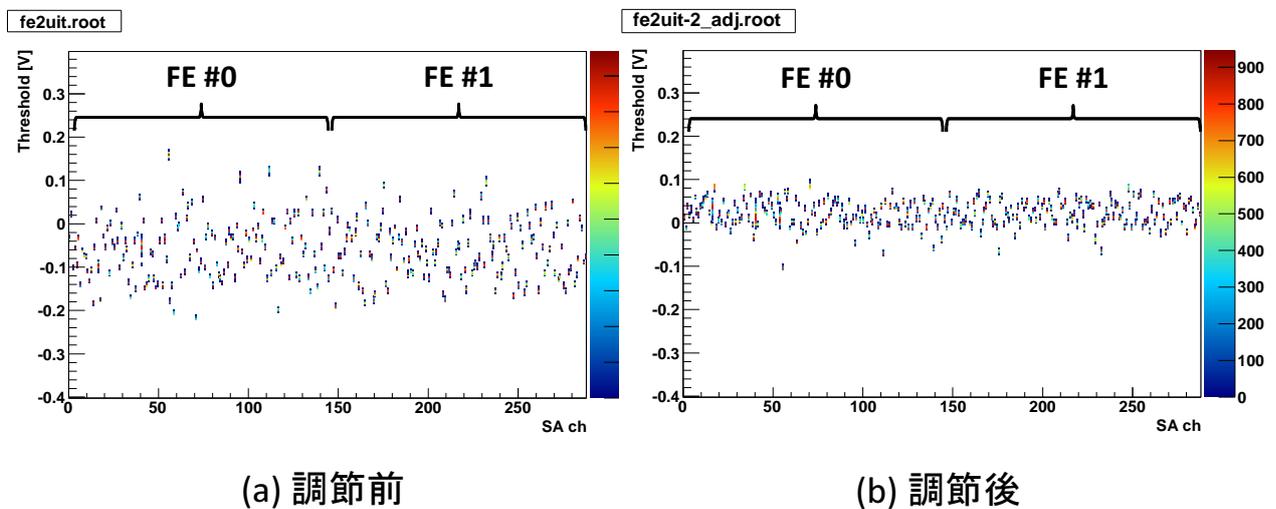


図 6.16: FE board 2 台分のスレッシュホールドスキャン。(a) はオフセット調節前、(b) はオフセット調節後の結果で SA ch0~143 が FE#0、144~287 が FE#1 にそれぞれ対応。

HAPD を想定してノイズを増やした時のオフセット調節後の出力結果である。ノイズがないときと比べてオフセットが一定に近づき、調節機能が動作していることを確認できる。

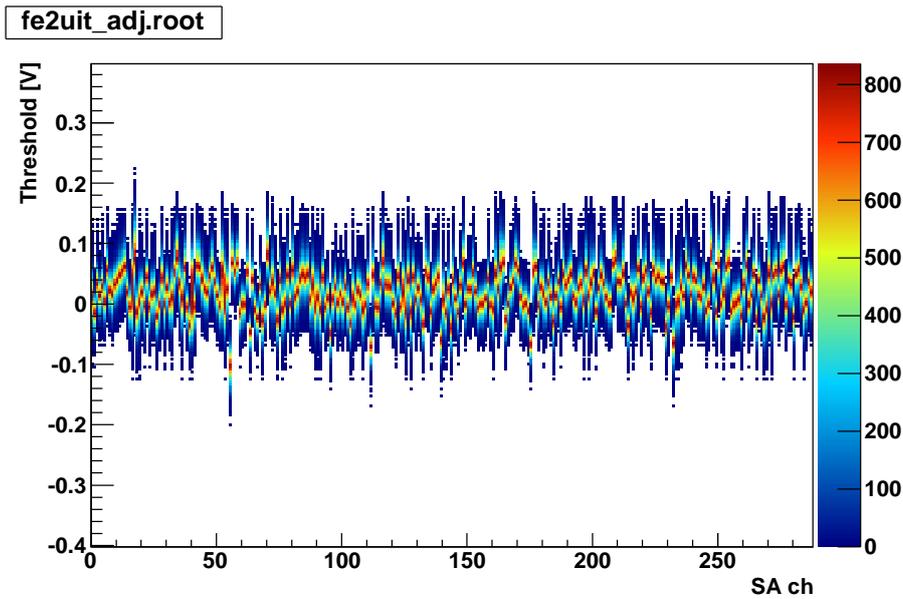


図 6.17: FE board 2 台分のスレッシュヨルドスキャン。ノイズあり。

6.5 今後の予定

今回 FE board 2 台のスレッシュヨルドスキャンを行えたので今後は更に 4 台、6 台と増やした際のデータ読み出しやスレッシュヨルドスキャンで正常に動作するか確認する必要がある。それらができれば、実機を想定したシステム構築のために、複数台 Merger board、複数台 COPPER のコントロールが求められる。2016 年 3 月頃までに FE board 70 台、Merger board 12 台、COPPER 3 台分の DAQ システムを完成させ、A-RICH 検出器 1/6 セクターを用いた宇宙線テスト等が予定されている。A-RICH 読み出しシステムの今後の開発スケジュールを図 6.18 にまとめる。

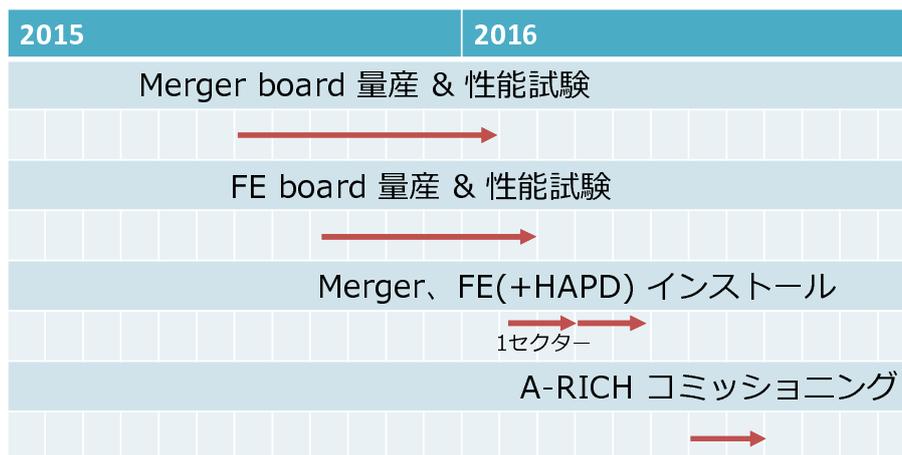


図 6.18: A-RICH 読み出しシステムの開発スケジュール。

第7章 まとめ

Belle II 実験は茨城県つくば市にある高エネルギー加速器研究機構 (KEK) で行われる電子・陽電子衝突型加速器実験である。2017 年実験開始に向けて SuperKEKB 加速器、Belle II 検出器の開発が進行している。リングイメージ型 Cherenkov 検出器である A-RICH は Belle II 検出器の粒子識別装置として使用される。読み出しシステムに使用される 2 種類の専用読み出し回路 FE board と Merger board は開発が完了し、量産・性能試験段階にある。

本研究では読み出し回路の動作および量産試験と Belle II DAQ を用いたシステム開発を行った。

FE board 複数台の信号を収集・圧縮し、後段の Belle II DAQ へデータ送信の役割を担う Merger board は全 80 台の量産が終了した。本研究では量産版 Merger board の性能チェックのために検査システムを開発し、性能検査を行った。その結果、Merger board に搭載された全機能が全 80 台で問題なく動作することができた。今後は検出器構造フレームへのインストールが行われる。

Belle II 実験開始に向け、Belle II DAQ と A-RICH 読み出しシステムの接続テストを行った。Belle2Link システムを立ち上げ、Merger board、FE board を用いた動作試験を行った。FE board 1 台を用いたスローコントロールや DAQ プログラム (スレッシュホールドスキャン) を作成し、読み出しシステムの構築に成功した。また、複数台 FE board データ読み出し時の読み出しタイミングエラーを改善することで A-RICH 読み出しシステム開発に貢献した。

今後は Belle II DAQ に接続する FE board、Merger board の数をさらに増やし、実機で使用する全台数のコントロールおよびデータ読み出しが行われる予定である。

謝辞

本研究を進めるにあたって数多くのご支援・ご協力いただきました。新潟大学の宮田等教授、川崎健夫准教授(現北里大学教授)、遊佐洋右助教授には Belle II 実験への参加機会を与えていただき、大変有意義な研究生を送ることができました。指導教官である遊佐洋右助教にはミーティングや修論執筆、学会発表など多くの場面でさまざまな知識をご教授いただきました。

研究室では同じ Belle グループの先輩である佐藤駿さん、清野義敬さんには研究者としての姿勢を学びました。後輩の小川和也君には研究はもちろん、それ以外にもたくさん楽しませてもらいました。同期の片浦隆介君とは出張など共に過ごす時間も多くいつも楽しませていただき、互いに切磋琢磨しあいながら研究に打ち込むことができました。また、同期の上埜貴裕君、松井達滉君は苦楽を共にした仲間であり、今後益々のご活躍を期待しています。研究室の後輩たちとは出張が多くなかなか顔を出せませんでしたでしたが、皆さんとの楽しい会話は研究の励みになりました。

Belle II A-RICH グループの共同研究者の方々に大変お世話になりました。高エネルギー加速器研究機構(KEK)の足立一郎准教授、西田昌平准教授、庄子正剛准技師はじめ多くの方々に感謝申し上げます。西田昌平准教授にはご多忙の中研究における数多くの指導をいただきました。研究のみならず発表資料の添削やアドバイスなども親身かつ丁寧にしていただき心から感謝申し上げます。庄子正剛准技師には回路や装置の使い方など全く分からない私に一から教えていただき、本研究を達成することができました。また、研究以外にもご飯など誘っていただき慣れな土地でも楽しく研究ができました。本当にありがとうございました。他にも DAQ グループの中尾さん、山田さん、今野さん、CDC グループの谷口さんはじめ数多くの方々に感謝申し上げます。

A-RICH の共同開発を行った首都大学東京の岩田修一さん、幡谷航暉君、米永匡伸君、東邦大学の庵翔太君、総研大の金道玄樹君には研究を進めるうえで大変お世話になりました。岩田さんからは研究に関するアドバイスをはじめ多くのことをご教授いただきました。米永君とは KEK の作業を共にし、研究が行き詰った際大いに助けられました。その他、KEK 出張時に関わった皆様に改めて感謝申し上げます。

最後になりますが、本研究をやり遂げるために経済面・精神面で支えていただいた両親に感謝申し上げます、謝辞とさせていただきます。

参考文献

- [1] T. Abe *et al.* [Belle II Collaboration] “Belle II Technical Design Report”, arXiv:1011.0352v1 [physics.ins-det]
- [2] J. H. Christenson, J. W. Cronin, V. L. Fitch and R. Turlay, “Evidence for the 2π Decay of the K_2^0 Meson”, Phys. Rev. Lett. 27, pp.138-140 (1964).
- [3] M. Kobayashi and Masukawa, CP-Violation in the Renormalizable Theory of Weak Interaction
- [4] A. I. Sanda and S. Suzuki, “B PHYSICS: Physics Beyond the Standard Model at the B Factory”, (World Scientific Publishing Co. Pte. Ltd., 1995), [ISBN 981-02-2224-6]
- [5] I. Adachi *et al.* “Precise measurement of the CP violation parameter $\sin 2\phi_1$ in $B^0 \rightarrow (c\bar{c})K^0$ decays”, Phys. Rev. Lett. 108, 171802 (2012), arXiv:1201.4643 [hep-ex]
- [6] [HFAG Group], <http://www.slac.stanford.edu/xorg/hfag/triangle/summer2015/index.shtml>
- [7] [CKMfitter Group], http://ckmfitter.in2p3.fr/www/results/plots_eps15/ckm_res_eps15.html
- [8] [SuperKEKB], <http://www-superkekb.kek.jp/>
- [9] Kazunori Akai, Haruyo Koiso, “DESIGN IMPROVEMENT AND CONSTRUCTION STATUS OF SUPERKEKB”, Proceedings of the 8th Annual Meeting of Particle Accelerator Society of Japan
- [10] R. Itoh *et al.* “Data flow and high level trigger of Belle II DAQ system”, IEEE Trans.Nucl.Sci. 60 (2013) 3720-3724
- [11] I. Adachi *et al.* “Tests of a proximity focusing RICH with aerogel as radiator”, IEEE Trans.Nucl.Sci. 50 (2003) 1142-1146
- [12] M. Tabata *et al.* “Recent progress in the development of large area silica aerogel for use as RICH radiator in the Belle II experiment”, arXiv:1411.4243 [physics.ins-det].
- [13] S. Nishida *et al.* “Development of a 144-channel Hybrid Avalanche Photo-Detector for Belle II ring-imaging Cherenkov counter with an aerogel radiator”, Nucl.Instrum.Meth. A787 (2015) 59-63
- [14] 今村美貴 名古屋大学大学院 理学研究科 修士論文 (2011)
- [15] H. Kakuno *et al.* “Readout ASIC and electronics for the 144ch HAPD for Aerogel RICH at Belle II”, Nucl.Instrum.Meth. A766 (2014) 225-227

- [16] XILINX home page, <http://japan.xilinx.com/>
- [17] SiTCP home page, <http://research.kek.jp/people/uchida/technologies/SiTCP/>
- [18] ケル株式会社 home page, <http://www.kel.jp/>
- [19] DIGILENT home page, <https://store.digilentinc.com/>
- [20] Openit home page, <http://openit.kek.jp/>